

А.М. Андреев, Г.П. Можаров

## **НАДЕЖНОСТЬ И ПРОПУСКНАЯ СПОСОБНОСТЬ МАГИСТРАЛЬНО-МОДУЛЬНЫХ КОМПЬЮТЕРНЫХ СИСТЕМ**

*Магистрально-модульные компьютерные системы должны поддерживать постепенную деградацию компьютерных систем, изолируя отказавшие компоненты и реконфигурируя свою структуру к новому состоянию с уменьшенным объемом работ. Рассматриваемые математические модели разработаны для вычисления надежности и пропускной способности подобных архитектур. Результаты моделирования, полученные для множественно-шинной и шинно-перекрестной организаций архитектур компьютерных систем, сравниваются между собой. Те же принципы моделирования используются для анализа частично-шинной архитектуры, в которой блоки памяти разделены на группы и каждая группа связана с подмножеством шин. Проведено сравнение надежности и пропускной способности множественно-шинной и частично-шинной архитектур компьютерных систем.*

**E-mail: arkandreev@gmail.com**

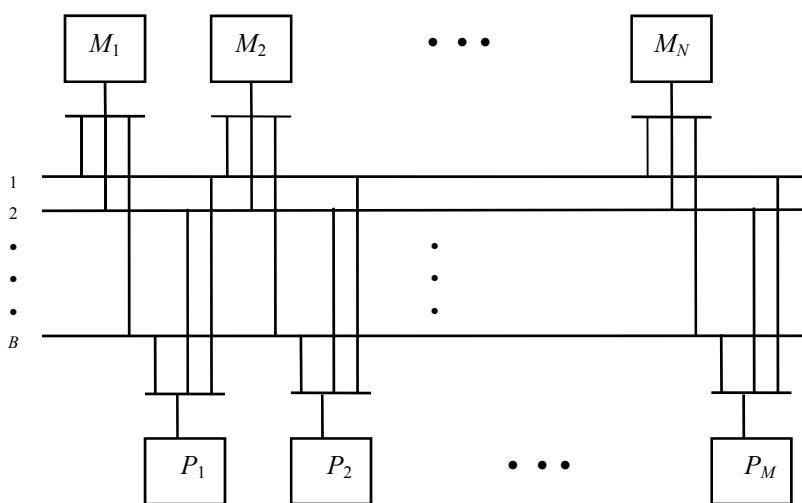
**Ключевые слова:** надежность, пропускная способность, постепенная деградация, множественно-шинная, шинно-перекрестная, частично-шинная архитектуры компьютерных систем.

Возрастающая потребность в более высокой вычислительной мощности обусловила создание многопроцессорных компьютерных систем (КС) [1]. Для оценки надежности работы многопроцессорных КС применяется математическое моделирование. В качестве метрики показателя работы КС в большинстве моделей используется характеристика пропускной способности (ПС) КС, которая определяется как среднее число работоспособных модулей памяти (МП), занятых в цикле. Такие модели неявно предполагают, что все компоненты КС работоспособны. Однако в реальной ситуации возникают ошибки, отказывают процессоры, модули памяти и линии связи (шины), что приводит к ухудшению рабочих характеристик КС. Поэтому одновременное рассмотрение ПС и надежности компонентов является важным фактором при оценке многопроцессорной КС, так как многопроцессорные КС не должны отказывать вследствие выхода из строя одного единственного компонента. Компьютерная система должна обнаруживать любой отказавший модуль и быть способной реконфигурировать свою структуру и продолжать работу в ухудшенном режиме, т. е. с меньшим количеством доступных ресурсов. Способность к постепенной деградации КС подразумевает, что система

остается работоспособной, пока минимальное количество ресурсов соответствует требованиям выполнения задачи. Минимально допустимая конфигурация отказоустойчивой КС содержит два процессора и два модуля памяти. Однако эти минимальные требования могут возрасти в зависимости от специфики решаемой задачи.

Рассмотрим два важных аспекта задачи отказоустойчивости: надежность и пропускную способность КС. Надежность за время  $t$  определяется как вероятность того, что КС является работоспособной в течение времени  $(0, t)$  [2–5]. Определим ПС постепенно деградирующей многопроцессорной магистрально-модульной КС, как ожидаемое значение ПС КС за время  $t$ .

Проанализируем два типа архитектуры многопроцессорных КС – с множественными и с перекрестными шинами. Эти архитектуры обладают хорошими масштабируемыми свойствами, т.е. их достаточно просто расширить для поддержания возрастающих требований по нагрузке. Множественно-шинная архитектура имеет дополнительное преимущество – отказоустойчивость, в соответствии с которой предусмотрены дополнительные пути между процессорами и памятью, их можно использовать в случае возникновения ошибок. На рис. 1 представлена множественно-шинная архитектура  $(M \times N \times B)$ , имеющая  $M$  процессоров ( $P$ ),  $N$  модулей памяти ( $M$ ) и  $B$  шин, где  $B \leq \min(M, N)$ . Шина связана со всеми процессорами и со всеми модулями памяти. Арбитр циклически распределяет шину памяти, которая имеет невыполненный запрос. Таким образом, одновременно  $B$  процессоров могут быть соединены с  $B$  блоками памяти.



**Рис. 1. Множественно-шинная архитектура КС  $(M \times N \times B)$**

Стоимость такой взаимосвязи пропорциональна  $O(B(M \times N))$ . На рис. 2 изображена магистрально-модульная КС с шинно-перекрестной архитектурой ( $M \times N$ ), имеющая  $M$  процессоров и  $N$  модулей памяти;  $N$  шин связаны со всеми процессорами, но только с одним блоком памяти. Стоимость шинно-перекрестной архитектуры пропорциональна значению  $O(M \times N)$ . Стоимость  $N \times N \times B$  множественно-шинной архитектуры с  $N/2$  шинами такая же, как и стоимость  $N \times N$  КС с шинно-перекрестной архитектурой.

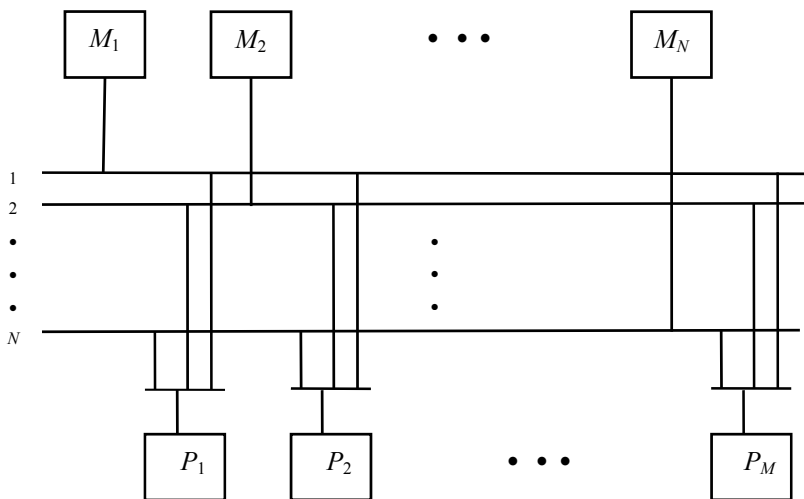


Рис. 2. Шинно-перекрестная архитектура КС ( $M \times N$ )

Для обеспечения улучшенных стоимостных характеристик используют модификацию множественно-шинной архитектуры КС – частично-шинную архитектуру. На рис. 3 изображена частично-шинная КС, имеющая  $M$  процессоров,  $N$  модулей памяти и  $B$  шин. Модули памяти разделены на  $g$  групп. Все процессоры связаны со всеми шинами, тогда как каждая группа ( $N/g$ ) МП связана с набором  $(B/g)$  шин. Для распределения шин связи существуют групповые арбитры. Частично-шинная архитектура стоит дешевле, чем множественно-шинная архитектура КС, и составляет значение пропорциональное  $O(B(M + (N/g)))$ .

Проанализируем влияние отказов модулей процессоров, памяти и шин на надежность и ПС архитектуры этих КС. В работе [6] представлены модели надежности для структур  $S.mmp$  и  $S.m^*$ : рассмотрены отказы модулей процессоров и памяти, предполагая, что сеть

связи ( $B$ ) исправна. Анализ многопроцессорных КС в [1, 2, 6] основан на классической теории надежности и не учитывает особенностей работы многопроцессорных многосшинных КС, в которых процессоры связаны с МП через шины  $B$  и отказ шин ухудшает работу всей компьютерной системы.

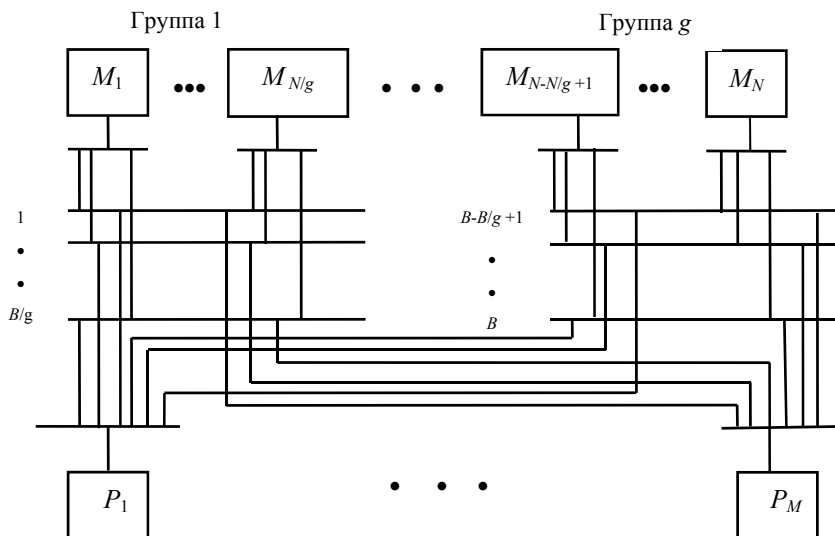


Рис. 3. Частично-шинная архитектура КС ( $M \times N \times B$ ) (модули памяти разделены на  $g$  групп)

В данной статье приводятся более практичные модели для исследования ПС и надежности КС с множественно-шинной, шинно-перекрестной и частично-шинной архитектур.

**Анализ характеристик надежности магистрально-модульных КС.** Множественно-шинная архитектуры КС исследуется в работах [1, 6]. Эти исследования основаны на том, что процессор обращается к любому из общих блоков памяти с одинаковой вероятностью. Однако на практике процессор обращается к кэш-памяти с большей вероятностью, чем к общей памяти (кроме тех случаев, когда необходима межпроцессорная связь). Введем параметр  $m$ , который определим как вероятность того, что процессор  $P_i$  посылает запрос в требуемый модуль памяти  $M_i$ . Предположим, что нам известно априорное значение параметра  $m$ . В общем случае параметр  $m$  включает и одинаково вероятные ( $m = 1/N$ ) и отмеченные ( $m > 1/N$ ) модули памяти (т.е. когда процессор  $P_i$  обращается более часто к модулям памяти  $M_i$ ).

При исследовании приняты следующие предположения и допущения: операция синхронна, т. е. запросы, генерируемые процессорами начинаются и заканчиваются одновременно; запросы, сгенерированные в последовательных циклах случайны и независимы друг от друга; запросы, генерируемые в последовательных циклах, независимы от запросов, генерируемых в предыдущих циклах (это предположение нереалистично, поскольку отклоненный запрос будет повторно представлен в следующем цикле; однако это предположение обеспечивает более простой анализ и не дает существенно-го различия в фактических результатах); не принятые запросы отклоняются.

Пусть  $p$  – вероятность, с которой процессор генерирует запрос в каждом цикле,  $m$  – вероятность с которой модуль процессора  $P_i$  обращается к модулю памяти  $M_i$  при условии, что модуль процессора  $P_i$  генерирует запрос,  $pm$  – интенсивность запроса процессора  $P_i$  к модулю памяти  $M_i$ .

Рассмотрим для множественно-шинной архитектуры КС (см. рис. 1) с  $B \leq \min(M, N)$  три различных случая:

1) *множественно-шинная архитектура с  $M = N$* . Вероятность того, что модуль процессора  $P_i$  обращается к модулю памяти  $M_i$  ( $1 \leq i \leq N$ ) будет  $P_i \rightarrow M_i = pm$ . Тогда вероятность, что  $P_i$  не обращается к модулю памяти  $M_i$  –  $P_i \not\rightarrow M_i = 1 - pm$ . Поскольку  $i \neq j$  вероятность того, что модуль процессора  $P_j$  будет запрашивать модуль памяти  $M_i$  –  $P_j \rightarrow M_i = \frac{p(1-m)}{N-1}$  и не будет запрашивать модуль памяти –  $P_j \not\rightarrow M_i = 1 - \frac{p(1-m)}{N-1}$ . Вероятность, что ни один из  $N$  процессоров не имеет запросов к модулю памяти  $M_i$  равна  $(1 - pm) \left(1 - \frac{p(1-m)}{N-1}\right)^{N-1}$ . Тогда вероятность того, что есть не менее одного запроса к модулю памяти  $M_i$  можно записать в следующем виде:

$$X = 1 - (1 - pm) \left(1 - p \frac{1-m}{N-1}\right)^{N-1}. \quad (1)$$

При  $m = 1/N$  выражение (1) можно упростить:  $X = 1 - \left(1 - \left(\frac{p}{N}\right)\right)^N$ .

Множественно-шинная архитектура КС может находиться в одном из  $N$  состояний, определяемых числом  $i$  модулей памяти, которые потребуются для запроса от модулей процессоров. Вероятность нахождения КС в  $i$ -м состоянии ( $p(i)$ ) равна произведению: вероятности того, что точно к  $i$  модулям памяти потребуются обращение в цикле КС, которая равна  $X^i$ ; вероятности того, что к остальным  $(N-i)$  модулям памяти не будет запросов от процессоров в цикле КС, которая равна  $(1-X)^{N-i}$  и числа возможных комбинаций из  $N$  модулей памяти по  $i$ , равной  $C_N^i$ .

Окончательно получим [5]:

$$p(i) = C_N^i X^i (1-X)^{N-i}. \quad (2)$$

В компьютерной системе с множественно-шинной архитектурой, имеющей  $B$  шин, можно осуществить одновременно в цикле не более  $B$  подключений процессор-память. Таким образом, ПС КС может быть описана следующей формулой:

$$ПС_{MNB} = \sum_{i=1}^B ip(i) + \sum_{i=B+1}^N Bp(i) = \sum_{i=1}^N ip(i) - \sum_{i=B+1}^N (i-B)p(i). \quad (3)$$

При  $\sum_{i=1}^N ip(i) = NX$  имеем

$$ПС_{MNB} = NX - \sum_{i=B+1}^N (i-B)p(i), \quad (4)$$

где  $NX$  – ПС КС, состоящей из  $N \times N$  для шинно-перекрестной архитектуры КС, учитывающей вероятности  $p$  и  $m$ . Второй член в формуле (4) учитывает влияние процесса деградации КС, возникающего из-за несоответствия запросов на память количеству шин КС;

2) *множественно-шинная архитектура с  $M \geq N$* . Эта архитектура моделируется как  $N$  пар процессоров-память, связанных с вероятностью запроса  $m$  и оставшимися  $(M-N)$  процессоров, имеющих равновероятные  $(1/N)$  возможности адресации к любому из модулей памяти. При этом вероятность, что ни один из процессоров из первой группы не обращается к модулю памяти  $M_i$ , равна

$(1 - pm) \left( 1 - \frac{p(1-m)}{N-1} \right)^{N-1}$ . Вероятность, что ни один из процессоров из второй группы не запрашивает модуль памяти  $M_i$  составляет  $\left( 1 - \frac{p}{N} \right)^{M-N}$ . Следовательно, вероятность, что ни один из  $M$  модулей процессоров не имеет запроса к модулю  $M_i$  равна  $(1 - pm) \left( 1 - p \frac{1-m}{N-1} \right)^{N-1} \left( 1 - \frac{p}{N} \right)^{M-N}$ . Вероятность того, что есть по крайней мере один запрос к модулю памяти  $M_i$

$$X = 1 - (1 - pm) \left( 1 - p \frac{1-m}{N-1} \right)^{N-1} \left( 1 - \frac{p}{N} \right)^{M-N}. \quad (5)$$

При  $M = N$  и  $m = 1/N$  уравнение (5) приводится к виду  $X = 1 - \left( 1 - \frac{p}{N} \right)^N$ . Пропускная способность рассчитывается по выражениям (2), (4) и (5) аналогично случаю 1;

3) *множественно-шинная архитектура с  $M \leq N$* . Это случай обратный случаю 2. Разделим модули памяти на две группы: первая группа состоит из  $M$  модулей памяти, связанных вероятностью запроса  $m$  от модулей процессоров, вторая группа – из  $(N - M)$  блоков памяти, к которым может обратиться любой из  $M$  процессоров. Соответственно, будут две различных вероятности запросов к двум группам модулей памяти. Пусть  $X_1$  – вероятность запроса на память, принадлежащей первой группе, и  $X_2$  – вероятность запроса на память, принадлежащей второй группе. Используя зависимости для случая 1, запишем

$$X_1 = 1 - (1 - pm) \left( 1 - p \frac{1-m}{N-1} \right)^{M-1}. \quad (6)$$

Вероятность, с которой процессор запрашивает модуль памяти, относящейся ко второй группе, равна  $\frac{1-m}{N-1}$ . Следовательно, функцию зависимости для  $X_2$  можно записать в следующем виде:

$$X_2 = 1 - \left( 1 - p \frac{1-m}{N-1} \right)^M. \quad (7)$$

Для нахождения вероятности того, что точно  $i$  запросов памяти удовлетворены в цикле, необходимо рассмотреть все возможные распределения  $i$  запросов между двумя группами памяти. Следовательно,  $p(i)$  можно представить в виде

$$p(i) = \sum_{j=0}^{\min(N-M, i)} C_{N-M}^j X_2^j (1-X_2)^{N-M-j} \cdot C_M^{i-j} X_1^{i-j} (1-X_1)^{M-i+j}, \quad (8)$$

где  $j$  – число запросов на память, удовлетворенных из второй группы модулей памяти;  $(i-j)$  – число запросов на память, удовлетворенных из первой группы.

При  $M = N$  выражение (8) сворачивается до выражения (2). При  $m = 1/N$   $X_1 = X_2 = X$  и выражение (8) преобразуется к виду

$$p(i) = \sum_{j=0}^{\min(N-M, i)} C_{N-M}^j C_M^{i-j} X^i (1-X)^{N-i} = C_N^i X^i (1-X)^{N-i}.$$

Тогда ПС можно описать следующей формулой:

$$ПС_{MNB} = \sum_{i=1}^B ip(i) + \sum_{i=B+1}^N Bp(i) = MX_1 + (N-M)X_2 - \sum_{i=B+1}^N (i-B)p(i). \quad (9)$$

Первые два члена в уравнении (9) представляют ПС для  $M \times N$  шинно-перекрестной архитектуры КС при  $N \geq M$ .

**Моделирование надежности множественно-шинной архитектуры.** Разделим множественно-шинную архитектуру (см. рис. 1) на три независимых друг от друга субмодуля: процессоры, шины и модули памяти. Надежность КС можно определить, проанализировав надежности этих субмодулей. Предполагается, что все элементы субмодуля идентичны и имеют одинаковую интенсивность отказов. Для простоты отказы принимаются распределенными по экспоненциальному закону. Таким образом, определяем  $\lambda_p$ ,  $\lambda_m$ , и  $\lambda_b$  как интенсивность отказов процессора, памяти и шины, соответственно. Тогда  $R_p(t) = e^{-\lambda_p t}$ ,  $R_m(t) = e^{-\lambda_m t}$  и  $R_b(t) = e^{-\lambda_b t}$  определяют соответствующие значения надежности.

Если задача требует не менее  $I$  процессоров,  $J$  модулей памяти и шин связи, то надежность множественно-шинной архитектуры КС



$$R_{\text{м.-ш}}(t) = R_a(t) \sum_{i=I}^M C_p^{M-i} C_M^i (R_p(t))^i (1-R_p(t))^{M-i} \times$$

$$\times \sum_{j=J}^N C_m^{N-j} C_N^j (R_m(t))^j (1-R_m(t))^{N-j} \sum_{k=1}^B C_b^{B-k} C_B^k (R_b(t))^k (1-R_b(t))^{B-k}, \quad (10)$$

где  $C_p$ ,  $C_m$  и  $C_b$  – коэффициенты охвата (охват определяется как вероятность при которой КС успешно справляется с отказом) для процессора, памяти, и шины, соответственно, и  $R_a(t)$  – надежность арбитра.

**Моделирование шинно-перекрестной архитектуры.** Поскольку в этой архитектуре шина связана только с одним модулем памяти (см. рис. 2), отказ шины или модуля памяти уменьшает размер шинно-перекрестной архитектуры до  $M \times (N-1)$ . Следовательно, надежность МП может быть выражена как  $R'_m(t) = R_m(t) R_b(t) = e^{-\lambda_3 t}$  с эквивалентной интенсивностью отказов  $\lambda_3 = (\lambda_m + \lambda_b)$ . Надежность шинно-перекрестной архитектуры  $R_{\text{ш-п}}(t)$  (с минимальным числом процессоров  $I$  модулей памяти  $J$ ) может быть рассчитана по формуле

$$R_{\text{ш-п}}(t) = R_a(t) \sum_{i=I}^M C_p^{M-i} C_M^i (R_p(t))^i (1-R_p(t))^{M-i} \times$$

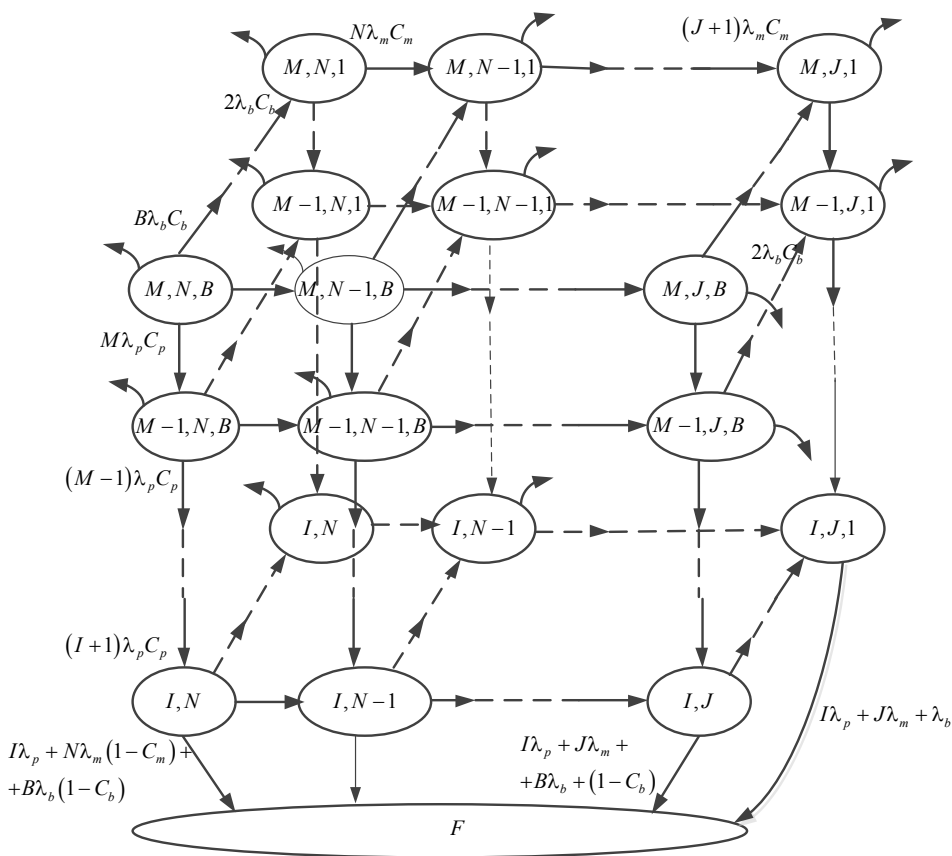
$$\times \sum_{j=J}^N C_k^{N-j} C_N^j (R'_m(t))^j (1-R'_m(t))^{N-j}, \quad (11)$$

где  $C_k$  – коэффициент охвата для комбинации память–шина.

Сравнение надежности множественно-шинной и шинно-перекрестной архитектур при одинаковых модулях процессоров, одинаковых объемах и конфигураций памяти (при условии, что надежность арбитра и коэффициентов охвата принимается равными 1) показывает, что при первоначальной конфигурации множественно-шинной ( $16 \times 16 \times 8$ ) и перекрестной ( $16 \times 16$ ) архитектур множественно-шинная архитектура надежнее, чем шинно-перекрестная архитектура, благодаря множественности независимых шин.

Характеристик надежности множественно-шинной и шинно-перекрестной архитектур, вычисленных по формулам (10), (11), недостаточно, чтобы оценить и сравнить многопроцессорные КС. По

этим формулам можно определить только вероятность того, что КС работоспособна в момент времени  $t$ , но не возможность деградации архитектур КС из-за отказов модулей за время работы. Поскольку основная цель многопроцессорных КС состоит в том, чтобы обеспечить высокую эффективность, изменение ПС во времени должно использоваться как критерий оценки различных архитектур многопроцессорных КС. Чтобы вычислить ПС, используем представление множественно-шинной архитектуры марковской моделью (рис. 4) для



**Рис. 4.** Марковская модель для множественно-шинной архитектуры КС ( $M \times N \times B$ )

задачи, требующей не менее  $I$  процессоров,  $J$  блоков памяти и шину. Состояние  $(i, j, k)$  означает, что есть  $i$  процессоров,  $j$  блоков памяти и  $k$  шин, работающих в КС с начальной конфигурацией  $(M, N, B)$ . Состояние КС определено как рабочее, пока минимальные требования по количеству работоспособных модулей процессоров, памяти и шин удовлетворяются. Переход от состояния  $(i, j, k)$  к

любому из состояний  $(i-1, j, k)$ ,  $(i, j-1, k)$  или  $(i, j, k-1)$  может произойти, если модули процессора, памяти или шины отказывают и отказ не парирован. Если отказ не парирован, система переходит в состояние отказа  $(F)$ .

Пусть  $P_{ijk}(t)$  – вероятность того, что КС находится в состоянии  $(i, j, k)$  в момент времени  $t$ . Дифференциальное уравнение для состояния  $(i, j, k)$  может быть записано в следующем виде:

$$\dot{P}_{ijk}(t) = \left[ (i+1)C_p\lambda_p P_{i+1,j,k}(t) + (j+1)C_m\lambda_m P_{i,j+1,k}(t) + (k+1)C_b\lambda_b P_{i,j,k+1}(t) - (i\lambda_p + j\lambda_m + k\lambda_b)P_{ijk}(t) \right]$$

при  $I \leq i < M$ ,  $J \leq j < N$  и  $1 \leq k < B$ . Уравнения для граничных состояний можно легко определить. Вероятность состояния  $(i, j, k)$  можно записать в следующем виде [3, 5]:

$$P_{ijk}(t) = C_i^M C_p^{M-i} (R_p(t))^i (1 - R_p(t))^{M-i} C_N^j C_m^{N-j} \times (R_m(t))^j (1 - R_m(t))^{N-j} C_B^k C_b^{B-k} (R_b(t))^k (1 - R_b(t))^{B-k}.$$

Надежность  $R_{M-ш}(t)$  множественно-шинной архитектуры КС (см. уравнение (10)), может быть определена суммированием вероятности отказа для всех состояний

$$R_{M-ш}(t) = \sum_{i=I}^M \sum_{j=J}^N \sum_{k=1}^B P_{ijk}(t).$$

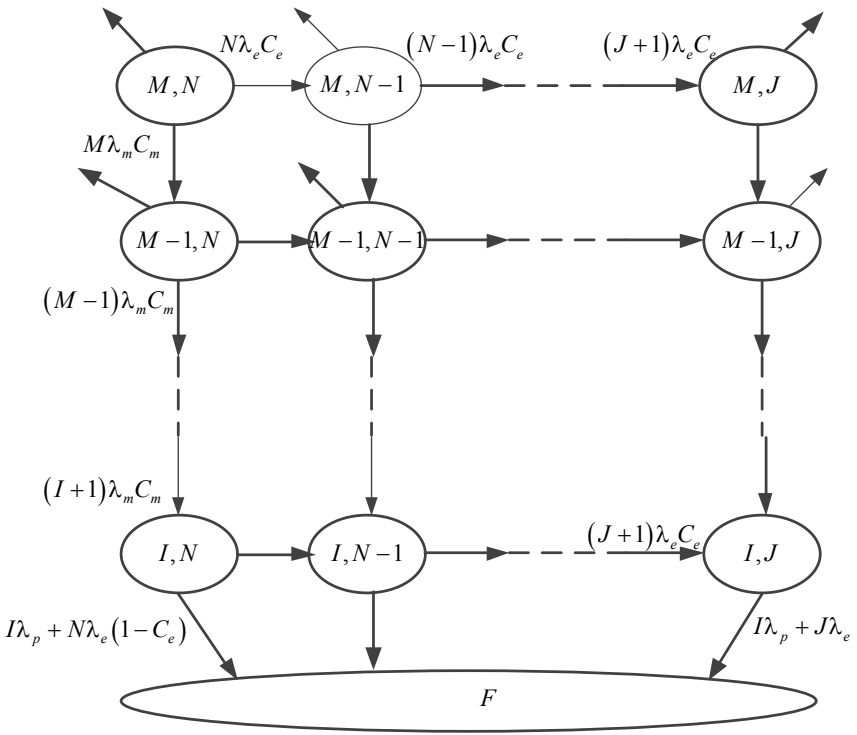
Следовательно, ПС множественно-шинной архитектуры КС  $ПС_{M-ш}(t)$  в момент времени  $t$  может быть рассчитана по следующей формуле

$$ПС_{M-ш}(t) = \sum_{i=I}^M \sum_{j=J}^N \sum_{k=1}^B P_{ijk}(t) \cdot ПС_{ijkM-ш},$$

где  $ПС_{ijkM-ш}$  – ПС шинно-множественной архитектуры КС, имеющей  $i$  процессоров,  $j$  модулей памяти и  $k$  шин (может быть получе-

но из уравнения (3), применяя  $p(i)$  для трех возможных  $i, j$  и  $k$  комбинаций).

**Моделирование шинно-перекрестной архитектуры** марковской цепью представлено на рис. 5. Переход от состояния  $(i, j)$  к состоянию



**Рис. 5.** Марковская модель для шинно-перекрестной архитектуры КС  $(M \times N)$

$(i, j-1)$  происходит с интенсивностью, пропорциональной  $j\lambda_3$ . Проводя аналогию по определению  $PC_{M-ш}(t)$  на пропускную способность шинно-перекрестной архитектуры  $PC_{ш-п}(t)$ , получаем

$$PC_{ш-п}(t) = \sum_{i=I}^M \sum_{j=J}^N P_{ij}(t) PC_{ijш-п},$$

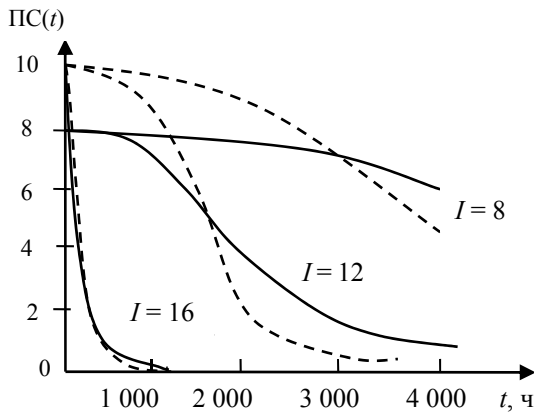
где  $P_{ij}(t)$  – вероятность, что КС находится в состоянии  $(i, j)$ ;  $PC_{ijш-п}$  – ПС  $(i \times j)$  шинно-перекрестной архитектуры. Значения  $P_{ij}(t)$  и  $PC_{ijш-п}$  рассчитываются по следующим формулам:

$$P_{ij}(t) = C_m^i C_p^{M-i} (R_p(t))^i (1 - R_p(t))^{M-i} \times \\ \times C_N^j C_e^{N-j} (R'_m(t))^j (1 - R'_m(t))^{N-j};$$

$$PC_{ij\text{ш-п}} = \begin{cases} jX, & \text{если } i \geq j, \\ iX_1 + (j-i)X_2, & \text{если } i \leq j. \end{cases}$$

Истинные значения  $X$  или  $X_1$  и  $X_2$  находят из уравнений (1), (5)–(7) для различных комбинаций  $i, j$ .

На рис. 6 показано изменение ПС при решении задачи с различным числом модулей процессоров и памяти для различных архитектур КС. Отметим, что даже при том, что шинно-перекрестная архитектура имеет лучшую ПС на начальных этапах работы, ПС множественно-шинной архитектуры превышает ПС шинно-перекрестной архитектуры спустя некоторое время. Это время можно уменьшить, если использовать большее количество шин.



**Рис. 6. ПС для множественно-шинной (16×16×8) и шинно-перекрестной (16×16) архитектур КС для задач, требующих  $I$  процессоров и  $I$  модулей памяти:**

— — множественно-шинная; ---- — шинно-перекрестная архитектуры;  $\lambda_p = \lambda_m = 0,0001$ ;  $\lambda_b = 0,00005$ ;  $R_a(t) = C_p = C_m = C_b = 1$ ;  $p = 1,0$ ;  $m = 1/N$

### **Моделирование надежности частично-шинной архитектуры.**

В частично-шинной архитектуре КС (см. рис. 3) каждая группа  $N/g$  модулей памяти формирует независимый submodule. Следовательно, выражение надежности для частично-шинной архитектуры КС

включает в себя  $g$  членов, представляющих  $g$  групп комбинаций шина – память. Если задача требует не менее  $J$  модулей памяти, все возможные распределения  $J$  модулей памяти из  $g$  групп учитываются в оценке надежности. Таким образом, надежность КС  $R_{q-ш}(t)$  с частично-шинной архитектурой с не менее  $I$  модулей процессоров и  $J$  модулей памяти можно записать в следующем виде:

$$\begin{aligned}
 R_{q-ш}(t) &= \sum_{i=1}^M C_p^{M-i} C_M^i (R_p(t))^i (1-R_p(t))^{M-i} \times \\
 &\times \sum_{j=J}^N \left\{ \sum_{g_1=0}^{\min(NG,j)} \left[ C_m^{NG-g_1} C_{NG}^{g_1} (R_m(t))^{g_1} (1-R_m(t))^{NG-g_1} \right] \times \right. \\
 &\times \left[ \left( \sum_{k_1=1}^{BG} C_b^{BG-k_1} C_{BG}^{k_1} (R_b(t))^{k_1} (1-R_b(t))^{BG-k_1} \right) \right]_{g_1 > 0} \times \\
 &\times \sum_{g_2=0}^{\min(NG,j-g_1)} \left[ C_m^{NG-g_2} C_{NG}^{g_2} (R_m(t))^{g_2} (1-R_m(t))^{NG-g_2} \right] \times \\
 &\times \left[ \left( \sum_{k_2=1}^{BG} C_b^{BG-k_2} C_{BG}^{k_2} (R_b(t))^{k_2} (1-R_b(t))^{BG-k_2} \right) \right]_{g_2 > 0} \times \\
 &\quad \vdots \\
 &\times \left[ C_m^{NG-g_g} C_{NG}^{g_g} R_m(t)^{g_g} (1-R_m(t))^{NG-g_g} \right] \times \\
 &\times \left[ \left( \sum_{k_g=1}^{BG} C_b^{BG-k_g} C_{BG}^{k_g} R_b(t)^{k_g} (1-R_b(t))^{BG-k_g} \right) \right]_{g_g > 0} \left. \right\},
 \end{aligned} \tag{12}$$

где  $NG = N/g$  – количество модулей памяти;  $BG = B/g$  – количество шин в каждой группе.

Распределением  $j$  модулей памяти среди групп модулей памяти  $g$  управляет последний член  $g_g$ , где  $g_g = j - (g_1 + g_2 + \dots + g_{g-1})$ . Если  $C_{NG}^{g_g} = 0$  при  $NG < g_g$ , то все возможные допустимые распределения генерируются для получения  $j$  активных модулей памяти из  $g$  групп. Второй множитель последнего члена уравнения (12)

$\sum_{k_y=1}^{BG} C_b^{BG-k_y} C_{BG}^{k_y} R_b(t)^{k_y} (1-R_b(t))^{BG-k_y}$  для  $1 \leq y \leq g$  в каждой группе

определяет вероятность того, что работает не менее одной шины в группе. Этот сомножитель учитывается, если  $g_y > 0$ . Если ни один из модулей памяти в группе или не выбран или является активным при выполнении задачи, то ПС этой группы не соответствует задаче и второй сомножитель последнего члена уравнения (12) становится равным единице (для упрощения условия надежности для арбитров  $g$  не учитываются в уравнении (12)).

Из результатов сравнения надежности КС с множественно-шинной ( $16 \times 16 \times 8$ ) и частично-шинной ( $16 \times 16 \times 8$ , с четырьмя группами) архитектурами следует, что множественно-шинная архитектура имеет лучшую надежность, чем архитектура частично-шинная, поскольку для одних и тех же требований, предъявляемых к процессору и памяти, единственная шина может осуществлять всю связь между памятью и процессором. В случае частично-шинной архитектуры, если модули памяти выбраны из более чем одной группы, шины каждой из этих групп необходимы для обеспечения связи. Таким образом, надежность частично-шинной архитектуры увеличится при сокращении количества групп. Для малой шинной интенсивности отказов надежности этих двух архитектур будут очень близки.

Пропускную способность частично-шинной архитектуры за время  $t$  можно записать в следующем виде:

$$PC_{ч-ш}(t) = \sum_{i=1}^M \sum_{j=J}^N \left\{ \sum_{g_1} \dots \sum_{g_g} P_{i,g_1,\dots,g_g}(t) \cdot (PC(G_1) + \dots + PC(G_g)) \right\},$$

где  $P_{i,g_1,\dots,g_g}(t)$  – вероятность того, что частично-шинная архитектура имеет  $i$  модулей процессоров и  $j$  активных МП, которые распределены по группам  $g$  с модулями памяти  $g_y$  в группе  $y$ :  $PC(G_y)$  является ПС группы  $y$  при  $1 \leq y \leq g$  с  $i$  модулями процессоров,  $g_y$  модулями памяти и количеством шин  $k_y$  (изменяясь от 1 до  $BG$ ). Значение  $PCG_y$  можно определить следующим образом. Поскольку распределение запроса на модули памяти не зависят от архитектуры шины, вероятность, что есть по крайней мере один запрос на МП (для любых  $i$  и  $j$  комбинаций), может быть найдена из уравнений (1), (5)–(7). Используя значения  $X$  или  $X_1$  и  $X_2$ , оценим значение  $p_y(i_y)$ , полученное из уравнений (2) или (8), где  $p_y(i_y)$  – вероят-

ность того, что модуль памяти  $i_y$  требуется в цикле от группы  $y$ . Значения  $M$  и  $(N - M)$  в уравнении (8) должны быть заменены на номера запрашиваемых модулей памяти и модулей памяти, доступных в группе  $y$  при  $i < j$ , адресуемых с одной и той же вероятностью. Тогда  $ПС(G_y)$  можно рассчитать по формуле (3), заменив  $B$  и  $N$  на  $k_y$  и  $g_y$  соответственно.

Однако для любого запроса  $t$  при  $i < j$ , сохраняя подсчет двух типов модулей памяти в группе, делает вычисление ПС громоздким. Вычислим ПС частично-шинной архитектуры только для случая модулей памяти адресуемых с одной и той же вероятностью. Таким образом,  $ПС(G_y)$  записывается подобно выражению (4) как

$$ПС(G_y) = g_y X - \sum_{i_y=k_y+1}^{g_y} (i_y - k_y) p_y(i_y),$$

где  $X = 1 - (1 - (p/j))^i$  и  $p_y(i_y) = \binom{g_y}{i_y} X^{i_y} (1 - X)^{g_y - i_y}$ . Значения  $g_y$  и

$k_y$  – количество отказавших модулей памяти и шин, доступных в группе  $y$  в любой момент времени  $t$ . Если число активных модулей памяти и шин в каждой группе равны, то ПС для частично-шинной архитектуры с  $i$  процессорами и  $j$  модулями памяти составит  $gПС(G_y)$ .

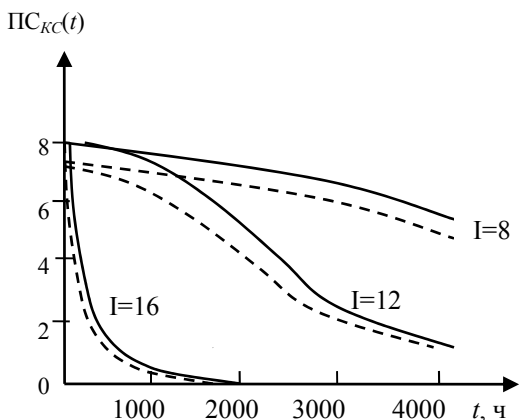
ПС множественно-шинной и частично-шинной архитектур за время работы отличается на 6,5 % от первоначальной ( $t = 0$ ), и различие постепенно уменьшается со временем.

Снижение ПС с частично-шинной архитектуры происходит, прежде всего, вследствие большего количества конфликтов при обращении к шине, поскольку только  $B/g$  блоки памяти могут обслужиться из группы в любое время. ПС с частично-шинной архитектурой равно  $\sim 7,7$  для  $g = 2$  при  $t = 0$ . Поскольку надежность частично-шинной и множественно-шинной архитектур согласуются лучше, когда  $g = 2$ , очевидно, что разница ПС этих двух систем будет меньше по сравнению с результатами, представленными на рис. 7.

Таким образом, вычислены и представлены выражения для надежности и ПС при постепенной деградации КС. Результаты показывают, что надежность множественно-шинной архитектуры лучше, чем шинно-перекрестной. ПС множественно-шинной архитектуры пре-



вышает ПС шинно-перекрестной архитектуры после некоторого времени, зависящего от значения величин  $B$ ,  $p$  и  $m$ . Надежность ПС частично-шинной архитектуры (при малых значениях номеров групп) близка к этим характеристикам множественно-шинной архитектуры.



**Рис. 7.** ПС множественно-шинной ( $16 \times 16 \times 8$ ) и частично-шинной ( $16 \times 16 \times 8$ ) архитектур с  $g = 4$  для задач, требующих  $I$  процессоров и  $I$  модулей памяти:

— — множественно-шинная; ---- — частично-шинная архитектуры,  $\lambda_p = \lambda_m = 0,0001$ ;  $\lambda_b = 0,00005$ ;  $C_p = C_m = C_b = 1$ ;  $p = 1,0$ ;  $m = 1/N$

Полученные результаты дают достаточно полное представление о надежности трех возможных магистрально-модульных многошинных архитектур КС. Однако выбор надлежащей архитектуры зависит от конкретного использования КС. Например, если требуется большая ПС на короткий промежуток времени, то следует использовать шинно-перекрестную архитектуру. Если ПС так же важна, как продолжительность работы, то множественно-шинная архитектура обеспечит лучшие характеристики, чем шинно-перекрестная архитектура. Кроме того, при  $p < 1$  множественно-шинная архитектура является более выгодной ввиду гибкости выбора номеров шин в зависимости от  $p$  и  $m$ . Если требования ПС не являются строгими, частично-шинная архитектура КС может быть выгодной альтернативой множественно-шинной архитектуре.

## СПИСОК ЛИТЕРАТУРЫ

1. Андреев А. М., Можаров Г. П., Сюзев В. В. Многопроцессорные вычислительные системы: теоретический анализ, математические модели и применение. — М.: Изд-во МГТУ им. Н. Э. Баумана, 2011. — 334 с.
2. Андреев А. М., Можаров Г. П. Анализ основных параметров компьютерных систем методом спектральной теории графов // Наука и образова-

- ние: электронное научно-техническое издание, 2011, 10 [электронный ресурс] [http://technomag.edu.ru/doc/\\_232774.html](http://technomag.edu.ru/doc/_232774.html) (77-30569/232774)
3. Андреев А. М., Березкин Д. В., Можаров Г. П., Свирин И. С. Математическое моделирование надежности компьютерных систем и сетей // Вестник МГТУ им. Баумана. Сер. Приборостроение. Спец. выпуск «Моделирование и идентификация компьютерных систем и сетей». – 2012. – С. 3–46.
  4. Андреев А. М., Можаров Г. П. Использование результатов теории мартингалов для оценки надежности программного обеспечения компьютерных систем и сетей // Вестник МГТУ им. Баумана. Сер. Приборостроение. Спец. выпуск «Моделирование и идентификация компьютерных систем и сетей». – 2012. – С. 61–69.
  5. Кельберт М. Я., Сухов Ю. М. Вероятность и статистика в примерах и задачах. В 2 т. Т. 1: Основные понятия теории вероятностей и математической статистики. – М.: МЦНМО, 2007. – 456 с. Т. 2: Марковские цепи как отправная точка теории случайных процессов и их приложения. – М.: МЦНМО, 2010. – 560 с.
  6. Хорошевский В. Г. Архитектура вычислительных систем. – М.: Изд-во МГТУ им. Н.Э. Баумана, 2005. – 512 с.

Статья поступила в редакцию 14.05.2012