

И. В. Крючков, Д. В. Слюсаренко,  
В. И. Замятин, П. В. Шатов

## **РАЗРАБОТКА УНИВЕРСАЛЬНОЙ ШИРОКОПОЛОСНОЙ ПЛАТФОРМЫ ЦИФРОВОЙ ОБРАБОТКИ И СИНТЕЗА РАДИОСИГНАЛОВ В НИИ РЭТ МГТУ им. Н.Э. БАУМАНА**

*Описан подход к созданию аппаратных средств цифрового синтеза и обработки радиосигналов с широкой полосой на основе перспективной линейки стандартов VPX для встраиваемых систем с жесткими условиями эксплуатации. Приведено краткое описание и технические характеристики разрабатываемых компонентов. Показаны возможности построения цифровых подсистем сигнальной обработки для радиотехнических систем различного назначения на основе модулей предлагаемой универсальной платформы.*

**E-mail:** niiret@yandex.ru

**Ключевые слова:** цифровая обработка сигналов, VPX, аппаратная платформа, цифровая антенная решетка.

К настоящему времени круг задач, решаемых средствами цифровой обработки, существенно расширился. Вместе с тем, сами по себе средства цифровой обработки стали существенно сложнее, как функционально, так и конструктивно.

С развитием новой элементной базы конструкторы радиоэлектронной аппаратуры сталкиваются с возросшими требованиями при разработке устройств. Совершенствование технологических процессов литографии, получения чистых материалов и средств САПР при разработке интегральных схем позволило существенно уменьшить размеры транзисторов на кристалле. Значительно выросли тактовые частоты и скорости передачи данных, повысилась степень интеграции, увеличилось число выводов, уменьшились межвыводные расстояния корпусов ИС. Таким образом, проектирование современных печатных плат для цифровых устройств стало весьма непростой задачей, требующей помимо разработки собственно топологии межсоединений тщательного электромагнитного и теплового анализа конструкции, а для бортовых встраиваемых систем с жесткими условиями эксплуатации — еще и механического анализа.

В результате в мировой практике наметилось своеобразное «разделение труда» — специализация ряда производителей на аппаратной части компонентов цифровых модульных систем с открытой ар-

хитектурой, включающих процессорные модули, модули ввода-вывода, АЦП-ЦАП и т. д., а также средства поддержки и сопровождения разработки. При этом разработчики конечных систем получают набор унифицированных аппаратных средств и сосредотачиваются на системной интеграции и разработке функционального программного обеспечения. Такой подход, называемый обычно «COTS» (Commercial Off The Shelf — т. е. «доступный прямо с полки»), позволяет сократить стоимость и сроки разработки, снизить риски и повысить надежность аппаратуры, а разработка «собственных» решений под частные применения становится обоснованной лишь в особых случаях.

В отечественной практике разработки сложных радиотехнических систем COTS-подходы практически не развиты (некоторые попытки унификации предпринимаются только в авиационных приложениях в рамках концепции «Интегрированная Модульная Авионика»). Многие разработчики предпочитают создавать собственные цифровые платформы, ориентированные непосредственно на их конкретные задачи. Одной из предпосылок к этому является отсутствие на отечественном рынке широкой номенклатуры современных средств цифровой обработки в приемлемом исполнении.

Опыт выполнения ряда НИОКР в НИИ РЭТ МГТУ им. Н.Э. Баумана в течение последних лет и взаимодействие с предприятиями отрасли позволили определить состав требований к цифровым средствам синтеза и обработки радиосигналов и наметить облик универсальной цифровой платформы синтеза и обработки радиосигналов для применения в радиолокационных средствах, гидроакустических системах, средствах радиотехнической разведки (РТР) и радиоэлектронной борьбы (РЭБ), передачи данных.

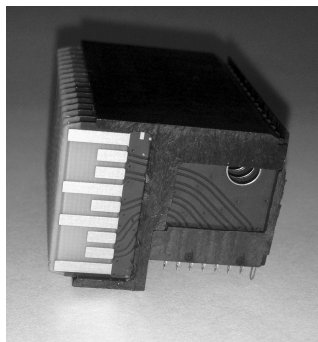
В качестве перспективного стандарта для построения такой платформы был выбран VPX — новая архитектура встраиваемых систем для жестких условий применения, основанная на современных высокоскоростных последовательных межсоединениях [1].

**Особенности стандарта VPX.** Стандарт VPX исторически является продолжателем известного стандарта VME, который широко используется при проектировании электроники военного назначения. На сегодняшний день стандарт VME морально устарел, хотя по-прежнему используется рядом компаний в качестве основы для новых разработок [2]. То же самое можно сказать о распространенном стандарте PCMG 2, использующем шину данных CompactPCI [3]. Главная причина, по которой эти стандарты являются сейчас неактуальными, — низкая пропускная способность используемых параллельных шин данных (для VME64 — 40 Мбайт/с). В первую очередь, такие низкие показатели не удовлетворяют потребностям приложений, связанных с

обработкой визуальной информации, а также обработкой данных в широкополосных радиолокационных станциях (РЛС). Кроме того, платы формата 6U (160×233 мм) характеризуются недостаточной жесткостью, низкими механическими резонансными частотами и неудовлетворительно работают в условиях сильных вибраций.

Основной технологией, позволяющей на сегодняшний день передавать данные на высокой скорости как в пределах одного крейта (корпуса с набором плат), так и между несколькими удаленными устройствами, являются высокоскоростные последовательные трансиверы (приемопередатчики). Такими приемо-передающими устройствами сегодня снабжается все большее число полупроводниковых вычислительных приборов: интегральных микросхем программируемой логики (FPGA), цифровых сигнальных процессоров (DSP), АЦП, ЦАП и др. Дифференциальный способ передачи сигнала, высокая мощность передатчиков, применение различного рода эквалайзеров, компенсирующих искажения сигнала, трехмерные технологии проектирования кристалла позволяют осуществлять передачу данных на скорости до 28 Гбит/с по одной проводной паре. Объединение нескольких высокоскоростных трансиверов позволяет получить скорость передачи 100 Гбит/с и выше по одной шине данных. В настоящее время технология 100 Гбит/с уже является стандартной и предлагается ведущими производителями микросхем (Xilinx, Altera, Texas Instruments), что называется, «под ключ» [4]. Производители предоставляют сведения об особенностях проектирования печатных узлов, дают рекомендации по отладке, предоставляют методики верификации таких проектов, а также обеспечивают их достаточно полную программную поддержку.

Возникший разрыв в технологии передачи данных между современными чипами и модулями специального назначения внутри крейтов был учтен при разработке стандартов VPX, VPX REDI и OpenVPX [5, 6]. Требуемая скорость передачи данных в стандарте VPX обеспечивается в первую очередь применением разъемов, специально рассчитанных на передачу высокоскоростных дифференциальных сигналов, которые используются для связи между ячейками устройства с объединительной платой (так называемый бэкплейн). Такие разъемы представляют собой набор небольших угловых печатных плат (так называемые вафли), объединенных в стек с помощью пластикового держателя (рис. 1) [7]. На печатных платах нанесены рисунки проводников различной конфигурации в зависимо-



**Рис. 1. Высокоскоростной разъем (фирма Гусо, США), применяемый в изделиях стандарта VPX**

сти проводников различной конфигурации в зависимо-

сти от назначения разъема: сигнальные разъемы с дифференциальными или несимметричными дорожками; силовые разъемы с широкими слоями проводящей меди. Ответная часть разъемов, устанавливаемая на бэкплейн, представляет собой набор пружинных контактов, размещаемых в пластиковый держатель.

Сигнальные разъемы стандарта VPR имеют гарантированное волновое сопротивление (100 или 50 Ом), что обеспечивается соответствующей конфигурацией проводников и печатной платы разъема. Это позволяет соблюсти условия целостности сигнала при его прохождении от ячейки к ячейке через две пары межсоединений. Силовые разъемы VPR выполняются по технологии изготовления печатных плат из заготовок с толстыми пленками меди (от 75 мкм), что обеспечивает токовую нагрузку до 36 А на разъем, содержащий три силовых «вафли». Таким образом, в устройствах стандарта VPR достигается поддержка энергетически емких быстродействующих цифровых и цифро-аналоговых схем.

Следует также отметить, что обладая хорошими электрическими характеристиками, разъемы VPR имеют высокий уровень виброустойчивости и достаточную механическую прочность. Это достигается как за счет конструкции самих разъемов, так и за счет применения продуманной системы направляющих штырей. При разработке стандарта проведены многочисленные испытания на устойчивость к механическим, температурным, химическим и другим воздействиям, подтвердившие высокую стабильность электрических свойств соединителей.

Не менее значимым фактором в обеспечении скоростных соединений между модулями имеют характеристики объединительной платы. Стандарты VPR предполагают организацию модульных межсоединений по бэкплейну с помощью высокоскоростных последовательных линий. Существует три типа организации линий передачи данных: одиночные каналы UTP (Ultra-thin Pipe), сдвоенные («тонкие») каналы TP (Thin Pipe) и счетверенные («толстые») каналы FP (Fat Pipe). Каждый канал предусматривает работу как в дуплексном, так и в полудуплексном режимах. Максимальная битовая скорость передачи данных по каждой проводной паре, предусмотренная стандартом, составляет 6 Гбит/с.

**Компоненты унифицированной платформы.** В составе разрабатываемой платформы присутствует три основных компонента:

- 1) унифицированные цифровые и аналогово-цифровые модули (процессорные, АЦП-ЦАП, FPGA и т. п.);
- 2) объединительные (кросс-) платы, бэкплейны;
- 3) базовые несущие конструктивы, включающие корпуса с системами электропитания, охлаждения и виброгашения.

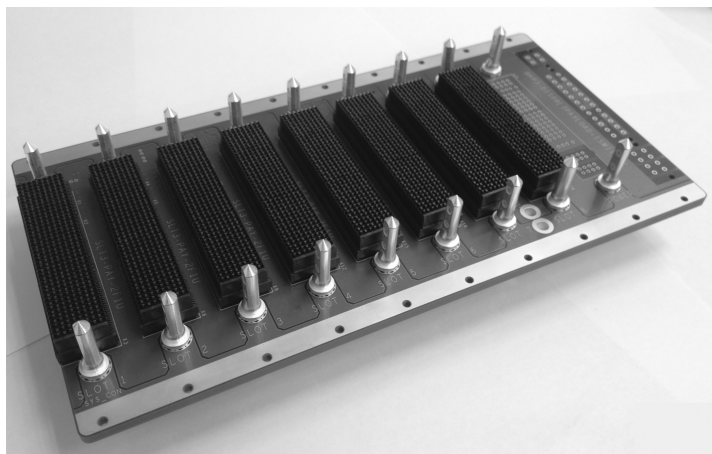
Набор унифицированных модулей (ячеек) определяет функциональный состав системы. Объединительные платы создают среду передачи информационных сигналов и заданную структуру соединений между отдельными модулями. Несущие конструктивы служат механической основой системы и обеспечивают требуемую защиту от внешних воздействий и поддержание температурного режима. Каждый из этих трех компонентов может разрабатываться самостоятельно и оптимизироваться под конкретное применение. Основная предпосылка COTS-подхода заключается в том, что в большинстве проектов не требуется разрабатывать все три компонента (модули, объединительную плату, шасси). При достаточной взаимозаменяемости между изделиями, обеспечиваемой спецификациями VPX, возможен выбор и применение изделий других производителей.

**Объединительные платы.** Конфигурация высокоскоростных межсоединений на объединительной плате в стандарте VPX VITA 46 жестко не определена. Разработчику системы предоставляется возможность проектировать бэкплейн с учетом требований конкретного приложения. Для некоторого ограничения разнообразия с целью унификации оборудования был разработан стандарт OpenVPX VITA 65, определяющий различные варианты конфигураций интерфейсов (профили) для объединительных плат, модулей, а также для модульных слотов объединительных плат.

В НИИ РЭТ освоена технология проектирования объединительных плат, оптимизированных под конкретные конфигурации вычислительных систем, с различным количеством разъемов для установки модулей и топологией их соединений с учетом требований VITA 65. Возможные типы топологий — звезда, сеть, кольцо и их комбинации.

Пример объединительной платы, разработанной для одного из проектов, показан на рис. 2. Плата размерами 247 × 128 мм имеет восемь слотов для установки модулей VPX формата 3U. Плата толщиной 4 мм содержит 16 слоев проводников и производится по технологии с контролем волнового сопротивления. Слои питания выполнены на медной пленке толщиной 75 мкм, что позволяет распределять токи, максимально допустимые стандартом VPX. На плате имеется также разъем для модуля питания стандарта VITA 62, устанавливаемого в корзину в качестве стандартного модуля 3U, а также дополнительный разъем питания ATX, применяемый в настольных компьютерах. Архитектура данной платы была оптимизирована под радар-процессор широкополосной РЛС с 5-канальным цифровым приемником, формирователем сигнала и устройством обработки с полосой радиосигналов до 500 МГц.

Плата организована по топологии типа «кольцо» для шины данных и «звезда» для шины управления. Шина данных для каждого модуля имеет два канала типа FR, содержащих по четыре дифференциальные линии в каждом направлении. Линии объединены в кольцо таким образом, что любой модуль может взаимодействовать с двумя соседними. По каналам Fat Pipe могут быть реализованы различные протоколы обмена (PCIe, RapidIO, Aurora и т. п.).



**Рис. 2. Объединительная плата на восемь слотов 3U VPX**

Также на плате реализованы активные цепи распределения тактового сигнала и сигнала синхронизации. Предусмотренные для этих целей возможности стандарта VITA 46 не позволяют сохранять целостность сигналов при их распространении по системе с большим числом приемников. Для обеспечения заданных характеристик была разработана схема повторителей тактового сигнала. В результате уровень вносимого джиттера по объединительной плате не превысил 0,5 пс. Кроме того, в отличие от стандартной схемы тактирования, задержки распространения тактовых сигналов между модулями выровнены с точностью не хуже 20 пс. Последний параметр крайне важен для систем, в которых необходима функция синхронной работы всех модулей.

Цикл проектирования объединительных плат составляет не более трех месяцев от разработки технического задания до получения опытных образцов, что сравнимо со временем поставки зарубежных серийных изделий.

**Унифицированные модули.** Набор унифицированных модулей, разрабатываемых в настоящее время, состоит из шести изделий.

Все модули выполняются в габаритах 3U×4HP. Их краткое описание и характеристики приведены ниже:

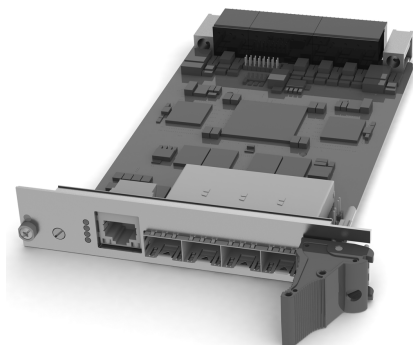
ВИ02 .....	Ячейка ЦОС/передачи данных, ПЛИС Virtex6 (130), 1GB DDR2 DRAM, 16MB QDR-II SRAM, 4×SFP 6.6Gbps, 2×Fat Pipe SIO 6.6Gbps, 1×GbE 1000BASE-T, 1×GbE 1000BASE-BX
ВИ05 .....	Ячейка ЦОС/передачи данных, ПЛИС Virtex6 (130), 2GB DDR2 DRAM, 4×SFP 6.6Gbps, 2×Fat Pipe SIO 6.6Gbps, 1×GbE 1000BASE-T, 1×GbE 1000BASE-BX
ФСА03 .....	Векторный формирователь-синхронизатор с полосой 500 МГц (16 бит), доп. АЦП 14 бит 200МГц, доп. ЦАП 16 бит, ПЛИС Spartan 6 (75), 8MB QDR-II SRAM, 2×Fat Pipe SIO, 1×GbE, 16×LVDS, 1000BASE-BX
A04 .....	Цифровой приемник с полосой 400/500МГц (14/12 бит), ПЛИС Spartan 6, 8MB QDR SRAM, 2×Fat Pipe SIO 3.125 Gbps, 1×GbE 1000 BASE-BX
ИЖ08 .....	Коммутатор Ethernet 1/10G, 3×Virtex 6, 32MB QDR SRAM, 2×10GbE (uplink), 2×GbE 1000BASE-T, 16×GbE 1000 BASE-BX, 2×Fat Pipe SIO 6.6Gbps
Э07 .....	Источник вторичного электропитания мощностью 400 Вт (3,3В, 5В, 12В) VITA 62

*Модуль ЦОС/передачи данных (ВИ02).* Модуль ВИ02 предназначен для буферизации данных от высокоскоростных цифровых приемных модулей, сжатия и обработки цифровых данных в реальном масштабе времени, выдачи сигналов на модули формирователей, обмена данными с внешними управляющими устройствами.

Модуль ВИ02 представлен на рис. 3. В качестве вычислительного устройства в ячейке использована микросхема FPGA серии Virtex 6 фирмы Xilinx. Плата содержит также внешнюю память — статическую типа QDR2+ и динамическую DDR2.

Плата имеет четыре внешних высокоскоростных интерфейса на основе модулей SFP с возможностью передачи данных как по медной витой паре, так и по оптическому кабелю с максимальной скоростью передачи до 6 Гбит/с на каждый модуль. Этот интерфейс предназначен в основном для соединения между крейтами, либо для высокоскоростной передачи данных управляющему компьютеру.

Для связи с другими модулями внутри крейта предусмот-



**Рис. 3. Модуль ВИ02**

рены два высокоскоростных канала Fat Pipe (FP), выведенные на разъемы VPX (FP0 и FP1), с пропускной способностью 12,5 Гбит/с. Кроме высокоскоростных интерфейсов модуль содержит два информационных канала типа Gigabit Ethernet (GbE), один из которых выведен на стандартный разъем RJ-45, расположенный на лицевой панели устройства (1000BASE-T), другой — на разъем VPX (1000BASE-VX). Каналы GbE предназначены в первую очередь для управления, однако могут быть использованы и для низкоскоростной передачи данных.

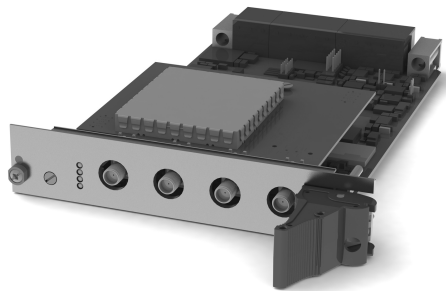


Рис. 4. Модуль А04

*Модуль цифрового приемника (А04).* Модуль предназначен для приема радиосигналов на промежуточной частоте в диапазоне 700...2700 МГц с полосой до 500 МГц, выделения сигналов квадратур, оцифровки, предварительной математической обработки полученных цифровых сигналов и передачи данных на внутреннюю высокоскоростную шину. Предусмотрена синхронная работа нескольких модулей для построения многоканальных приемников цифровых АФАР. Конструктивно модуль А04 представляет собой ячейку VPX размером 3U с установленной на нее мезонинной платой (рис. 4).

Модуль имеет четыре входных коаксиальных разъема типа SMA на 50 Ом, используемых для подключения аналоговых сигналов гетеродина и промежуточной частоты (ПЧ), а также внешнего опорного тактового сигнала и внешнего синхроимпульса запуска.

Входной аналоговый тракт модуля А04 содержит квадратурный демодулятор и дифференциальные усилители. На вход демодулятора поступают входной сигнал ПЧ и сигнал гетеродина. Перенесенный на нулевую частоту, спектр входного сигнала разделяется на квадратуры (с точностью не хуже 0,5°), которые в свою очередь поступают на входы дифференциальных усилителей, одновременно выполняющих функции антиалиасинговых ФНЧ. Ограничение сверху по рабочей полосе частот аналогового тракта определяется в основном демодулятором и составляет приблизительно 390 МГц по уровню -3 дБ. Полная шкала входного сигнала ПЧ составляет 0 дБм, уровень сигнала гетеродина — от -6...+6 дБм. Радиочастотные входы имеют защиту, рассчитанную на 1 Вт непрерывной мощности. Аналоговый тракт целиком выполнен на мезонинной плате, благодаря этому разработка других вариантов аналоговых трактов может быть выполнена в сжатые сроки, так как не требуется модификация несущей платы, содержащей вычислитель, цифровые каскады и схему питания.



Для формирования тактирующего сигнала для микросхем АЦП в устройстве применена схема ФАПЧ. В качестве опорной частоты для ФАПЧ могут быть использованы как внешние сигналы (синус, меандр), так и сигнал внутреннего высокостабильного кварцевого генератора. Предусмотрена также возможность подачи на плату опорного тактового сигнала через разъем VPX бэкплейна. Диапазон частот опорного тактового сигнала составляет 50...100 МГц. Имеется блок контроля входных опорных сигналов (уровень, частота).

В вычислительно-управляющем устройстве модуля А04 используется микросхема FPGA серии Spartan 6 фирмы Xilinx, с дополнительной внешней памятью QDR2. Для высокоскоростной передачи данных выделены две счетверенные (FP) последовательные шины с максимальной скоростью передачи до 12,5 Гбит/с. В микросхеме ПЛИС могут быть реализованы алгоритмы предварительной обработки сигнала.

Кроме высокоскоростных интерфейсов модуль содержит канал GbE (1000BASE-BX), выведенный на разъем VPX. Канал GbE поддерживает подключение по схеме 1000BASE-T через технологический разъем с применением специального переходника физического уровня.

*Модуль векторного формирователя и синхронизатора (ФСА03).* Модуль формирователя и синхронизатора (ФСА03) предназначен для векторного цифрового синтеза радиосигналов с произвольной модуляцией на ПЧ в диапазоне 700...2700 МГц, а также формирования синхронизирующих сигналов и последовательностей. Модуль содержит также два вспомогательных канала АЦП и ЦАП с полосой до 100 МГц, которые могут быть задействованы в схемах управления усилением, контроля уровня и фазы сигнала и т.п.

Конструктивно модуль ФСА03 представляет собой ячейку VPX размером 3U с платой RTM, устанавливаемой с тыльной стороны крейта.

В цифровой части ФСА03 используется микросхема FPGA серии Spartan 6 фирмы Xilinx с внешним оперативно-запоминающим устройством QDR2. Узел формирователя сигналов состоит из высокоскоростных микросхем 16-битных ЦАП с тактовой частотой до 1 000 МГц, квадратурного модулятора, формирователя частоты гетеродина и согласующих цепей. Отсчеты формируемого радиосигнала могут вычисляться непосредственно в ПЛИС модуля или поступать в него по каналам данных (FP) с разъема VPX от других модулей.

Узел синхронизации включает в себя интерфейсы и устройства, позволяющие принимать, генерировать, а также выводить на внешние порты сигналы тактовой синхронизации. Возможна синхронная работа нескольких модулей ФСА03, например, при реализации циф-

ровых АФАР. Модуль имеет канал управления GbE (1000BASE-BX) и резервный канал управления на основе интерфейса RS-485 со скоростью до 15 Мбит/с. Модуль содержит также схемы формирования цифровых сигналов синхронного/асинхронного управления внешними устройствами, такими, как аттенюаторы, переключатели, синтезаторы и т.п. Внешние устройства могут управлять по интерфейсам LVDS (100 Мбит/с), RS-485 (1 Мбит/с) и ТТЛ 5В, драйверы интерфейсов вынесены на заднюю плату RTM [8].

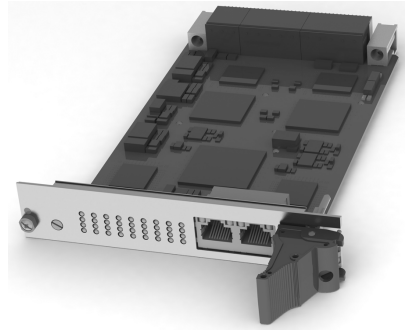


Рис. 5. Модуль ИЖ08

*Модуль сетевого коммутатора ИЖ08.* Модуль сетевого коммутатора предназначен для передачи и распределения трафика Ethernet 1 Гбит/с между модулями внутри крейта и связи с внешними устройствами на скоростях 1 и 10 Гбит/с. Модуль представляет собой ячейку VPX размером 3U с опциональной платой RTM (рис. 5).

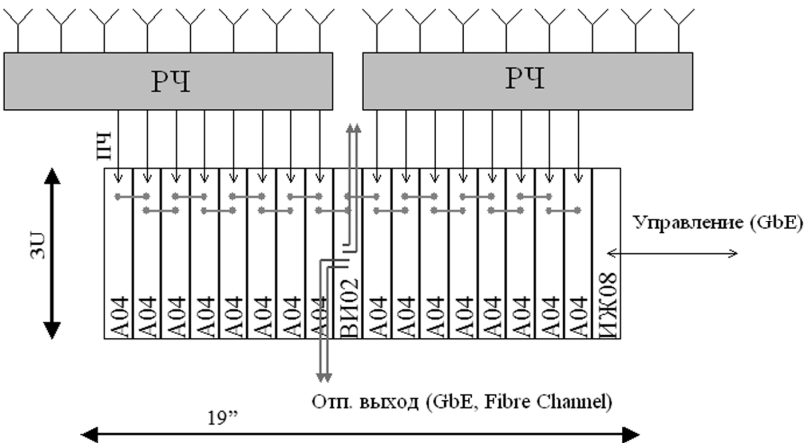
Необходимость разработки оригинального модуля коммутатора Ethernet обусловлена рядом причин, в частности, относительной сложностью приобретения импортных изделий с требуемой производительностью и исполнением и высокая их стоимость. Применение в модуле микросхем FPGA (Virtex 6, Xilinx) вместо специализированных чипсетов позволяет рассчитывать на более длительный жизненный цикл изделий, отсутствие недокументированных функций, а также дает возможность оптимизации структуры и алгоритмов работы коммутатора под конкретное применение.

В модуле ИЖ08 предусмотрена возможность подключения до 16 устройств по каналам типа UTP, до 8 — по каналам типа TP и до 4 — по каналам типа FP. Одна из ПЛИС модуля отвечает за реализацию высокоскоростного и вспомогательного uplink-канала. Высокоскоростные соединения организованы за счет использования двух шин типа FP, которые соединены через встречные разъемы объединительной платы с платой RTM. Тандем модуля и платы RTM образует два канала uplink со скоростью 10 Гбит/с каждый. На лицевой панели модуля имеются два дополнительных канала 1000BASE-T со стандартными разъемами RJ-45.

**Примеры построения радиотехнических систем на основе универсальной модульной платформы.** Ниже приведены примеры применения разрабатываемой линейки унифицированных модулей в радиотехнических системах различного назначения. Рассмотренные примеры охватывают лишь часть возможных применений описываемой платформы ЦОС. Важным общим свойством предлагаемых решений является распределенная обработка сигналов непосредственно

внутри ячеек в пределах крейтов и отсутствие отдельных спецвычислителей. Это означает, что при наращивании числа каналов в системе одновременно увеличивается и суммарная вычислительная производительность, поэтому можно создавать системы ЦОС самого различного масштаба с количеством каналов от одного до нескольких тысяч.

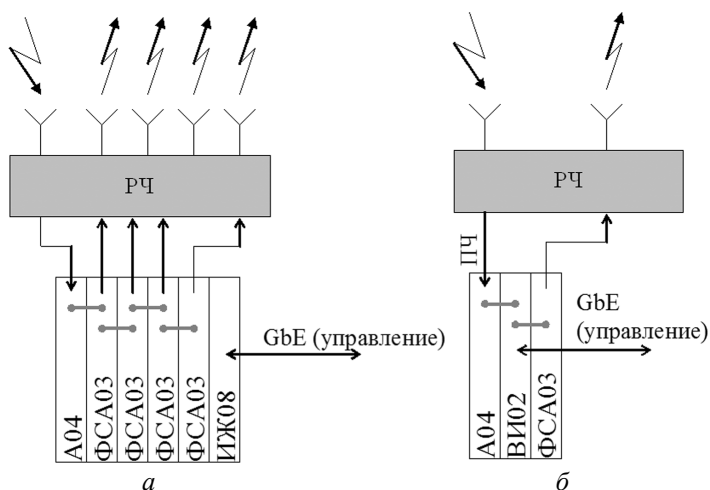
Один из возможных вариантов реализации цифровой приемной ФАР (ЦАФАР) показан на рис. 6. Данную ЦАФАР можно применять в составе радиолокационных средств, средств РТР и РЭБ, а также в системах связи. На рисунке изображен фрагмент решетки, состоящий из 16 приемных каналов. Каждый из каналов содержит отдельный приемный тракт с переносом принимаемых сигналов на промежуточную частоту. Цифровая подсистема строится на основе корзины 19", содержащей 16 модулей цифровых приемников А04, модуль интерфейса ВИ02 и модуль коммутатора Ethernet. Все модули соединяются кросс-платой, в данном случае со специально разработанной конфигурацией межсоединений. Каждый модуль А04 содержит ПЛИС средней производительности с двумя высокоскоростными каналами передачи данных, что позволяет реализовать распределенное цифровое формирование диаграммы направленности, организуя последовательную схему обработки. Каждый последующий модуль в линейке из 8 модулей принимает отсчеты сигнала от предыдущего модуля, суммирует с отсчетом собственного АЦП (с весовым коэффициентом) и передает следующему модулю. На выходе последнего модуля формируется суммарный сигнал с подрешетки. При полосе радиосигнала до 500 МГц таким способом можно формировать один приемный луч, что связано с ограничением скорости передачи по линиям данных между модулями 12,5 Гбит/с. При меньшей полосе возможно мультиплексирование отсчетов нескольких лучей в канал данных.



**Рис. 6. Фрагмент 16-канальной приемной подрешетки ЦАФАР:**  
РЧ — радиочастотный тракт

Сигналы с двух половин подрешетки объединяются в ячейке ВИ02, расположенной в центре. Данная ячейка имеет четыре оптических канала передачи данных, посредством которых несколько подрешеток могут объединяться последовательно, аналогично каналам в подрешетке. Также в крейте можно применять две и более ячейки ВИ02 для расширения пропускной способности и надежности. Коммутатор ИЖ08 позволяет реализовать управление и функциональный контроль работы каждого модуля в реальном времени по интерфейсу Ethernet, для этой же цели могут быть использованы и низкоскоростные вспомогательные интерфейсы RS-485 и IPMI.

Варианты применения универсальных модулей ЦОС для построения имитаторов радиолокационных сигналов и систем ответных помех показаны на рис. 7. Современные подходы к построению таких систем предполагают так называемую технологию цифровой радиопамяти (DRFM — Digital Radio Frequency Memory), при которой принимаемый зондирующий сигнал от РЛС запоминается в цифровом виде, модифицируется требуемым образом (изменяется частота, фаза, амплитуда, добавляются задержанные копии сигнала и т. п.) и затем переизлучается с требуемой задержкой. Пример построения 4-канальной системы ответных помех, содержащей приемный канал на основе модуля цифрового приемника А04 и четыре передающих канала на основе векторных формирователей ФСА03 изображены на рис. 7, а. Модули соединяются последовательно по каналам данных. Сигнал принимается модулем А04 и передается последовательно на модули формирователей, где выполняются требуемые преобразования и синтез выходных когерентных сигналов, поступающих на передат-

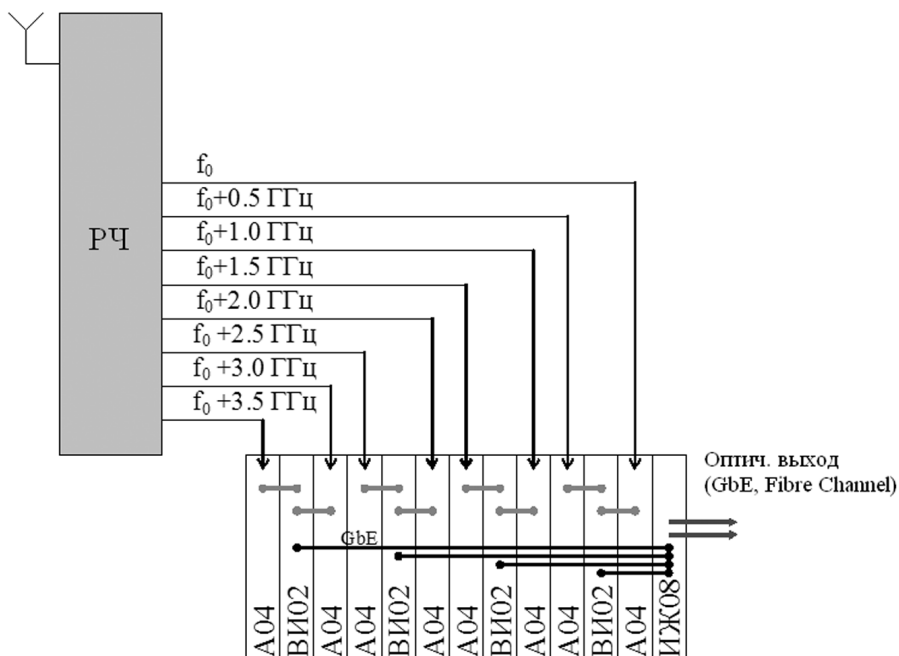


**Рис. 7. Универсальный модуль ЦОС:**

а — 4-канальная система ответных помех (DRFM); б — одноканальный имитатор РЛ сигналов с полосой 500 МГц

чики. При этом не требуются дополнительные вычислительные модули, минимальная задержка вход-выход может составлять единицы микросекунд. Для построения имитатора радиолокационных сигналов может потребоваться более сложная обработка или задержка сигналов (например, для имитации сложной радиолокационной картины местности или многолучевой трассы распространения). Дополнительная ячейка ВИ02 между модулем цифрового приемника и формирователя показана на рис. 7, б.

Принцип возможного расширения полосы обработки сигналов свыше 500 МГц для применения, например, в широкополосной системе РТР с полосой параллельного обзора до 4 ГГц иллюстрирует рис. 8. В данном случае в радиочастотных трактах общая широкая полоса разделяется на несколько более узких, обрабатываемых в отдельных цифровых каналах. Обработка может быть реализована на ячейках ВИ02, обрабатывающих данные с двух цифровых приемников А04 в суммарной полосе до 1 ГГц. В крейте работают параллельно четыре таких ячейки и, соответственно, восемь каналов АЦП. При решении задачи поиска, обнаружения и измерения параметров радиосигналов объем выходной информации обычно невелик по сравнению с потоками входных отсчетов и может быть передан в каналы Ethernet. Коммутатор ИЖ08 в данном случае служит для объединения выходных данных и передачи их потребителю.



**Рис. 8. Система РТР с полосой параллельного обзора 4 ГГц:**

РЧ — радиочастотный тракт

В НИИ РЭТ МГТУ им. Н.Э. Баумана осваивается разработка универсальной модульной платформы цифрового синтеза и обработки радиосигналов на основе перспективного стандарта VPX для встраиваемых и бортовых применений с жесткими условиями эксплуатации. Описанные выше модули позволяют проектировать цифровые подсистемы формирования и обработки радиосигналов с различным количеством каналов, полосой и вычислительной мощностью в составе радиолокационных станций, гидроакустических средств, систем РТР и РЭБ, многоканальных систем связи с адаптивными АФАР и др. В настоящее время состав унифицированных компонентов представлен модулями цифрового приемника, синтезатора, устройства обработки на FPGA и специализированного коммутатора Ethernet. В ближайшее время планируется включение в состав модулей сигнальной обработки на процессорах DSP.

## СПИСОК ЛИТЕРАТУРЫ

1. ANSI/VITA 46.0-2007 for VPX Baseline Standard.
2. ANSI/VITA 1-1994.
3. CompactPCI Core Specification (PICMG 2.0).
4. Prasanna Sundararajan. High Performance Computing Using FPGAs (WP375), Xilinx, 2010.
5. ANSI/VITA 65-2010 OpenVPX™ System Specification.
6. ANSI/VITA 48.1 Mechanical Specification for Microcomputers Using REDI Air Cooling.
7. MULTIGIG RT Connector Products for VITA 46 (VPX) Standard, Tyco Electronics, 2008.
8. ANSI/VITA 46.10 Rear Transition Module for VPX.

Статья поступила в редакцию 17.09.2012