

Эффективный метод производства flip-chip-компонентов

© С.А. Адарчин¹, В.Г. Косушкин¹, Е.Н. Адарчина²

¹ КФ МГТУ им. Н.Э. Баумана, Калуга, 248000, Россия

² ОАО «КНИИТМУ», Калуга, 248000, Россия

Проведен анализ известных методов сборки полупроводниковых приборов с помощью монтажа flip-chip и выявлены их основные недостатки. Предложена методика формирования шариковых выводов, позволяющая значительно повысить эффективность сборки интегральных микросхем. Осуществлен подбор материалов для формирования массива шариковых выводов, а также определены режимы формирования контактов. Особое внимание уделено установлению технологических параметров применительно к крупносерийному производственному оборудованию, что является существенным задолгом для практического применения метода.

Предложенный метод можно использовать как при производстве корпусных интегральных микросхем, так и при бескорпусном монтаже полупроводниковых электронных устройств на печатные платы и гибридные интегральные микросхемы.

Ключевые слова: flip-chip, интегральная микросхема, пайка, температурный профиль, поверхностный монтаж.

Технология поверхностного монтажа существует более 20 лет, но процесс еще не исчерпал своего потенциала. Flip-chip-монтаж бескорпусных интегральных схем является одним из способов миниатюризации изделий электроники. Историю развития этой технологии можно разделить на несколько этапов. Первая информация о монтаже flip-chip появилась еще в середине 1980-х годов. В работе [1] были подробно описаны особенности такой технологии (рис. 1). В дальнейшем [2] технология flip-chip получила свое развитие (рис. 2).

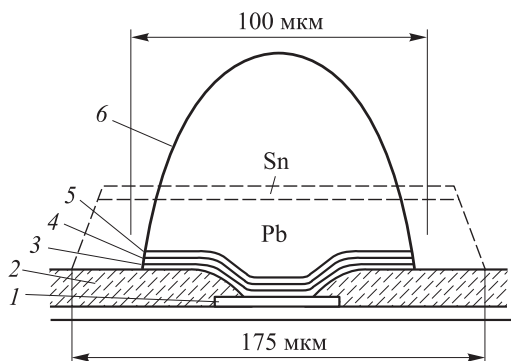


Рис. 1. Строение шарикового вывода:

1 — слой алюминия; 2 — стекло; 3 — слой хрома; 4 — слой Gr + Cu;
5 — интерметаллическое соединение Cu + Sn; 6 — припой 5 % + 95 % Pb

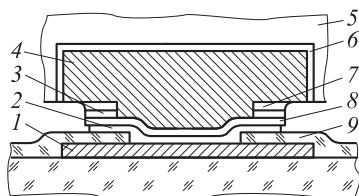


Рис. 2. Структура столбикового вывода [2]:
 1 — слой алюминия; 2 — адгезионный слой ванадия; 3 — пассивирующий слой ванадия; 4 — гальванический медный столбик; 5 — припой ПОС-61; 6 — гальванический припой Sn-Bi; 7 — фоторезист; 8 — напыленный слой меди; 9 — слой SiO₂

Предложенные на рис. 1 и 2 способы характеризуются высокой трудоемкостью и энергоемкостью, что обусловлено большим количеством переходных слоев, получаемых вакуумными методами напыления, и наличием гальванических покрытий. Такой комплекс технологических операций характеризуется невысокой надежностью изделий [3].

Следующий этап в развитии группового метода сборки полупроводниковых приборов по технологии flip-chip связан с использованием новых материалов для формирования металлизации на поверхности интегральных микросхем. Медная металлизация позволила значительно сократить технологический процесс сборки приборов благодаря применению готовых припойных шариков. В работе [4] детально описана технология такой сборки (рис. 3).

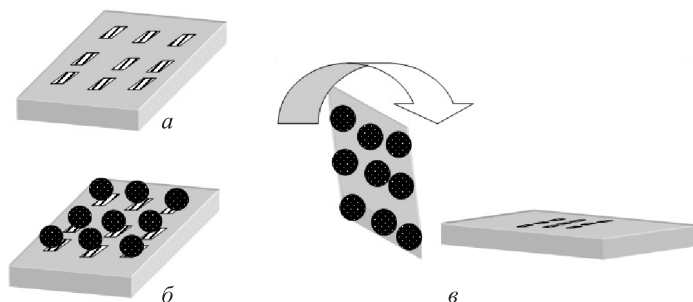


Рис. 3. Flip-chip-монтаж с применением припойных шариков:

а — полупроводниковая чип-структура с медной металлизацией; *б* — установка припойных шариков на контакты; *в* — переворот чипа и совмещение с контактами корпуса

Эта технология позволяет значительно сэкономить как материалы, так и общее время производства. Однако описанный в работе [5] метод подразумевает применение готовых припойных сфер, установка которых на чип осуществляется за счет использования флюс-паст; их задачей является удержание сферы на поверхности чипа и повышение качества последующей пайки. Такой метод не лишен недостатков. Одним из недостатков является наличие остатков флюса после пайки, которые при большой площади чипа практически невозможно удалить. Другим не менее серьезным недостатком являются непропаи одной или нескольких сфер, обусловленные как температурными градиентами, так и

неровностями корпусов микросхем. В этой версии монтажа ключевым является соблюдение жесточайших размерных параметров оснастки, применяемой при сборке микросхем.

Кроме указанных выше недостатков существующие способы имеют ограничение по минимальному размеру контакта. В настоящее время серийный способ монтажа кристаллов на шариковые выводы не позволяет получать контакты размером менее 50...70 мкм. Это является лимитирующим фактором при производстве современных многовыводных микросхем и исключает применение таких технологий в нанoeлектронике.

Поэтому совместно со специалистами фирмы Heraeus был предложен новый подход при формировании контактов, обладающих способностью к пайке. Известно, что ряд производителей полупроводниковых приборов интенсивно работает над созданием так называемой технологии wafer bumping. Однако ее разработчики сталкиваются с существенными проблемами при формировании контактов. Основной сложностью при этом является получение их однородного размера.

Предлагаемый ниже метод базируется на передовых достижениях разработчиков припойных паст и инструментов для ее нанесения. Суть метода заключается в следующем. Формирование контактов осуществляют по групповой технологии, т. е. на полупроводниковых чип-элементах в составе пластины. На поверхности пластины вместо традиционных алюминиевых контактов формируют тонкопленочные контакты из металла или сплава, обладающего способностью к пайке, одним из классических методов [1]. Можно использовать никель, серебро или медь (последний вариант покрытия стал стандартным при производстве полупроводниковых приборов по нанотехнологиям).

После создания тонкопленочных контактов на их поверхность методом группового нанесения, например с помощью трафаретной печати (рис. 4), может быть нанесена припойная паста. Фотография кремниевой пластины с нанесенной припойной пастой приведена на рис. 5. В данном случае была использована специализированная паста фирмы Heraeus серии F640.

Как известно [4, 5], припойная паста является сложной композицией, в состав которой входит припойный порошок и флюс. В рассматриваемом случае основной функцией флюса в составе пасты является удаление оксидов, создание защитной атмосферы в процессе пайки и обеспечение требуемой формы контакта в процессе оплавления пасты.

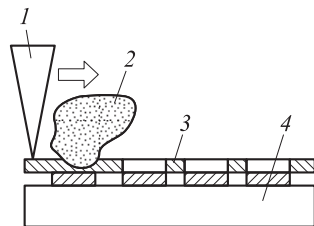


Рис. 4. Схема трафаретной печати:

1 — рапель; 2 — припойная паста; 3 — трафарет; 4 — чип с металлизацией

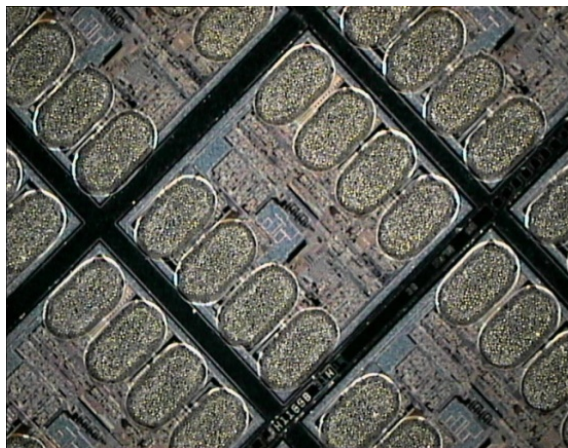


Рис. 5. Отпечатки припойной пасты

Одним из важнейших этапов в технологии формирования контактов при монтаже чип-элементов является пайка, так как именно на этой стадии возникает наибольшее количество дефектов, которые ухудшают качество работы изделий и снижают их надежность. Чтобы избежать дефектообразования необходимо задать правильный температурный профиль нагрева для используемой композиции припойной пасты. Взяв за основу температурный профиль, рекомендуемый для оплавления применяемого в нашем случае бессвинцового сплава SAC-30, была проведена оптимизация термопрофиля для конвейерной печи конвекционной пайки. В результате был получен температурный профиль (рис. 6), при котором наличие дефектов было снижено до уровня 0,01 %.

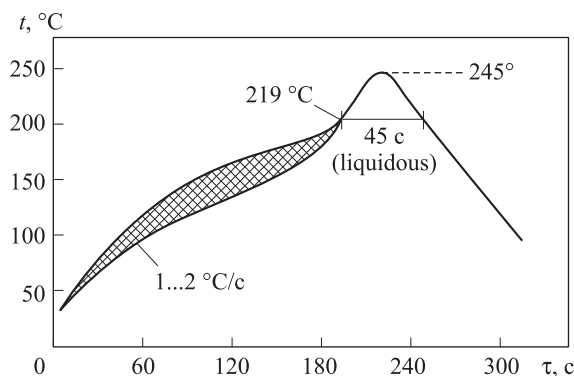


Рис. 6. Температурный профиль оплавления припойной пасты

После оплавления пасты были получены контакты диаметром 50 мкм (рис. 7). Дальнейшее контактирование таких выводов возможно по стандартной технологии монтажа flip-chip, а также в приборах, описанных в литературе [2, 4–7].

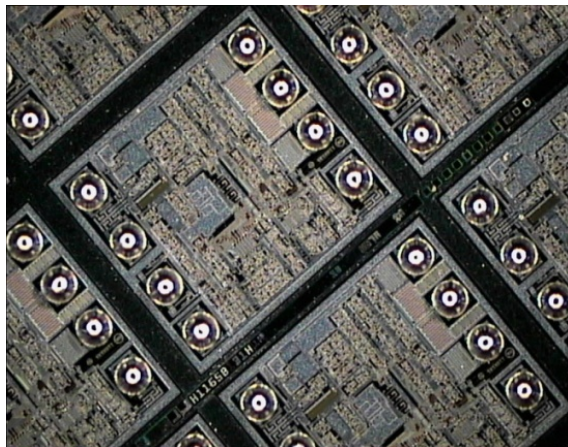


Рис. 7. Выводы после оплавления пасты

Технико-экономический расчет показал, что предлагаемый способ формирования контактов для монтажа чип-элементов позволяет сэкономить до 30 % себестоимости получения таких контактов по стандартным технологиям.

Для определения технологических возможностей разработанного способа формирования контактов в существующих технологиях были получены шариковые контакты диаметром 500 мкм (рис. 8).



Рис. 8. Контакты полупроводниковой структуры, применяемой при сборке элементов типа chip-scale-package

Таким образом, в ходе выполнения работы усовершенствован способ контактирования чип-элементов методом flip-chip, определены режимы оплавления припойной пасты F640 для получения шариковых контактов, а также показана возможность получения шариковых выводов различного диаметра.

ЛИТЕРАТУРА

- [1] Зи С. *Технология СБИС*. Москва, Мир, 1986, 404 с.
- [2] Готра З.Ю. *Технология микроэлектронных устройств*. Москва, Радио и связь, 1991, 528 с.
- [3] Готра З.Ю., Николаев И.М. *Контроль качества и надежность микросхем*. Москва, Радио и связь, 1989, 168 с.
- [4] Нинг-Ченг Ли. *Технология пайки оплавлением, поиск и устранение дефектов: поверхностный монтаж, BGA, CSP и FLIP-CHIP технологии*. Москва, Технологии, 2006, 392 с.
- [5] Джюд М., Бриндли К. *Пайка при сборке электронных модулей*. Москва, Технологии, 2006, 416 с.
- [6] Вотинцев А., Зеленюк И. *Технология поверхностного монтажа STEP-BY-STEP*. Сб. ст. Москва, ООО «Электрон Сервис Технология», 2005, с. 324–346.
- [7] Игумнов Д.В., Костюнина Г.П. *Основы полупроводниковой электроники*. Москва, Горячая линия-Телеком, 2005, 392 с.

Статья поступила в редакцию 19.06.2014

Ссылку на эту статью просим оформлять следующим образом:

Адарчин С.А., Косушкин В.Г., Адарчина Е.Н. Эффективный метод производства flip-chip-компонентов. *Инженерный журнал: наука и инновации*, 2014, вып. 3. URL: <http://engjournal.ru/catalog/pribor/hidden/1291.html>

Адарчин Сергей Александрович родился в 1976 г., окончил КФ МГТУ им. Н.Э. Баумана. Канд. техн. наук, доцент кафедры «Материаловедение» КФ МГТУ им. Н.Э. Баумана. Область научных интересов: электроника, надежность, физика полупроводников. e-mail: adarchin@ Rambler.ru

Косушкин Виктор Григорьевич родился в 1948 г., окончил ЛТИ им. Ленсовета в 1972 г. Д-р техн. наук, профессор, заведующий кафедрой «Материаловедение» КФ МГТУ им. Н.Э. Баумана. Область научных интересов: рост монокристаллов, инновационная деятельность. e-mail: kosushkin@gmail.com

Адарчина Евгения Николаевна родилась в 1977 г., окончила КГПУ им. К.Э. Циолковского. Инженер ОАО «КНИИТМУ». Область научных интересов: электроника, надежность, физика полупроводников. e-mail: tarchenkova@ Rambler.ru

Effective method of flip-chip components production

© S.A. Adarchin¹, V.G. Kosushkin¹, E.N. Adarchina²

¹ Kaluga Branch of Bauman Moscow State Technical University, Kaluga 248000, Russia

² JSC "Kaluga Research Institute of Telemechanical devices", Kaluga 24800, Russia

The work is devoted to developing and testing a new method of forming a ball lead of integrated chips at their assembly, embodiment and installation on printed-circuit boards. The study makes an analysis of a priori known methods of assembling semiconductor devices and reveals their main shortcomings.

The technique of forming ball leads, which makes it possible to considerably raise the integrated chip assembly efficiency, is offered. The proposed method can be used both in production of frame integrated chips, and at open-frame installation of semiconductor electronic devices on printed-circuit boards, hybrid integrated chips and RFID. We selected materials for forming the ball leads and defined modes for forming contacts. The special attention is paid to establishment of technological parameters in the large-scale production equipment, which is an essential groundwork for practical application of the offered method.

Keywords: FLIP-CHIP, integrated chip, soldering, temperature features, surface mount technology

REFERENCES

- [1] Zi S. *Tekhnologiya SBIS* [SBIC Technology]. [in Russian]. Moscow, Mir Publ., 1986, 404 p.
- [2] Gotra Z.Yu. *Tekhnologiya mikroelektronnykh ustroystv* [Technology of microelectronic devices]. Moscow, Radio i svyaz Publ., 1991, 528 p.
- [3] Gotra Z. Yu., Nikolayev I. M. *Kontrol' kachestva i nadezhnost' mikroskhem* [Quality control and reliability of microcircuits]. Moscow, Radio i svyaz, 1989, 168p.
- [4] Ning-Cheng Lee. *Tekhnologiya paiki oplavleniem, poisk i ustranenie defektov: poverkhnostnyi montazh, BGA, CSP i FLIPCHIP tekhnologii* [Reflow technology, search and removal of defects: Surface Mount, BGA, CSP and technology FLIPCHIP]. Moscow, Technology Publ., 2006, 392 p.
- [5] Djud M., Brindly K. *Paika pri sborke elektronnykh modulei* [Soldering in the assembly of electronic modules]. Moscow, Technology Publ., 2006, 416 p.
- [6] Votintsev A., Zelenuk I. *Tekhnologiya poverkhnostnogo montazha STEP-BY-STEP* [SMT STEP-BY-STEP]. Articles. Moscow, Electron Service technology Publ., 2005, pp. 324–346.
- [7] Igumnov D.V., Kostunina G.P. *Osnovy poluprovodnikovoi elektroniki* [Basis of semiconductor electronics]. Moscow, Hot line telecom Publ., 2005, 392 p.

Adarchin S.A. (b. 1976) graduated from Kaluga Branch of Bauman Moscow State Technical University in 2000. Ph.D., Assoc. Professor, Deputy Head of the Materials Sciences Department at Kaluga Branch of Bauman Moscow State Technical University. Research interests: electronics, reliability, physics of semiconductors.
e-mail: adarchin@rambler.ru

Kosushkin V.G. (b. 1948) graduated from Leningrad Technological Institute named after Lensovet in 1972. Dr. Sci. (Eng.), Professor, Head of the Material Sciences Department at Kaluga Branch of Bauman Moscow State Technical University. Research interests: monocrystals growth, innovation activities e-mail: kosushkin@gmail.com

Adarchina E.N. (b. 1977) graduated from KGPU named after K.E. Tsiolkovsky. She is an engineer at "Kaluga Research Institute of Telemechanical Devices, JSC". Research interests: electronics, reliability, physics of semiconductors. e-mail: tarchenkova@rambler.ru