

# **Сравнительная оценка алгоритмов перевода и построение комбинационных преобразователей двоичного кода целых чисел в двоично-десятичный код и двоично-десятичного кода правильных дробей в двоичный код на ПЛИС**

© В.Ф. Жирков, И.Д. Маслов

МГТУ им. Н.Э. Баумана, Москва, 105005, Россия

*Рассмотрена сравнительная оценка алгоритмов перевода чисел и аппаратная реализация комбинационных преобразователей кодов. Представлены универсальные алгоритмы перевода чисел из одной позиционной системы счисления в другую, которые являются существенными для аппаратной реализации преобразователей, выполняющих перевод.*

*Предложена сравнительная оценка алгоритмов перевода двоичного кода целых чисел в двоично-десятичный код и двоично-десятичного кода правильных дробей в двоичный, показавшая, что общим этих алгоритмов является состав арифметических операций. Генерация в программируемых логических интегральных схемах функций алгебры логики многих переменных табличными преобразователями позволяет уменьшить количество каскадов преобразователей кодов и наряду с другими высокими эксплуатационными параметрами достичь малых задержек распространения сигналов ( $\sim 35 \div 50$  нс) и низкой мощности потребления.*

**Ключевые слова:** система счисления, двоичный код, двоично-десятичный код, целое число, правильная дробь, преобразователь, комбинационная схема.

Перевод чисел из одной позиционной системы счисления в другую требует выполнения арифметических операций при вводе и выводе информации из вычислительных устройств и ЭВМ. Как и другие операции, перевод чисел можно выполнять программно в составе арифметического устройства (АУ) ЭВМ, что чаще и делается, или аппаратно. Преобразование кодов аппаратными средствами освобождает АУ и процессор ЭВМ от выполнения задач ввода-вывода и позволяет использовать его ресурсы для решения других задач.

Перевод двоичного кода (ДК) целых чисел в двоично-десятичный код (ДДК) и обратный перевод правильных дробей при соответствующем выборе алгоритмов имеют определенное сходство состава арифметических операций, системы счисления, в которой выполняются операции, элементной базы, структуры преобразователей кодов, и, следовательно, основных эксплуатационных параметров. Сравнительная оценка алгоритмов перевода чисел из одной системы счисления позволяет выявить их общие характерные черты, которые важны при аппаратной реализации преобразователей. Далее приведены

сравнительная оценка алгоритмов перевода чисел и аппаратная реализация комбинационных преобразователей кодов.

Универсальные алгоритмы перевода чисел из одной позиционной системы счисления в другую и, в частном случае, десятичных и двоичных чисел

$$A_{10} = a_{n-1} \cdot 10^{n-1} + a_{n-2} \cdot 10^{n-2} + \dots + a_1 \cdot 10^1 + a_0 + a_{-1} \cdot 10^{-1} + a_{-2} \cdot 10^{-2} + \dots + a_{-m} \cdot 10^{-m} = a_{n-1}a_{n-2} \dots a_1a_0a_{-1}a_{-2} \dots a_{-m} \quad (1)$$

и

$$A_2 = b_{l-1} \cdot 2^{l-1} + b_{l-2} \cdot 2^{l-2} + \dots + b_1 \cdot 2^1 + b_0 + b_{-1} \cdot 2^{-1} + b_{-2} \cdot 2^{-2} + \dots + b_{-k} \cdot 2^{-k} = b_{l-1}l_{l-2}, \dots, b_1b_0b_{-1}b_{-2}, \dots, b_{-k} \quad (2)$$

можно получить из записей (1) и (2) по схеме Горнера [1, 2].

В (1) и (2)  $a_{n-1}, a_{n-2}, \dots, a_1, a_0, a_{-1}, \dots, a_{-m}$  цифры целой и дробной частей десятичного числа ( $0 \leq a_i \leq 9$ ),  $n$  и  $m$  количество разрядов целой и дробной частей десятичного числа соответственно,  $b_{l-1}, l_{l-2}, \dots, b_1, b_0, b_{-1}, b_{-2}, \dots, b_{-k}$  цифры целой и дробной частей двоичного числа, равные 0 или 1;  $l$  и  $k$  — количество разрядов целой и дробной частей двоичного числа соответственно; 10 и 2 — основания десятичной и двоичной систем счисления соответственно.

Для целой и дробной частей двоичного числа имеем

$$A_2^n = A_{10}^n = b_{l-1} \cdot 2^{l-1} + b_{l-2} \cdot 2^{l-2} + \dots + b_1 \cdot 2^1 + b_0 = (\dots((0 + b_{l-1}) \cdot 2 + b_{l-2}) \cdot 2 + \dots + b_1) \cdot 2 + b_0, \quad (3)$$

$$A_2^{dp} = A_{10}^{dp} = b_{-1}2^{-1} + b_{-2}2^{-2} + \dots + b_{-k}2^{-k} = 2^{-1} (b_{-1} + 2^{-1} (b_{-2} + \dots + 2^{-1} (b_{-(k-1)} + 2^{-1} b_{-k}) \dots)). \quad (4)$$

Сравнивая выражения (3) и (4) и отмечая существенные различия в их структуре, тем не менее можно выявить определенные сходства алгоритмов перевода чисел из одной системы счисления в другую, которые следуют из этих выражений. Рассмотрим алгоритмы перевода ДК целых чисел в ДДК и ДДК правильных дробей в ДК и проведем их сравнительную оценку с позиций общности и простоты схемотехнических построений.

**Арифметические операции. Единство системы счисления и ДДК, в котором выполняются операции.** Перевод ДК целых чисел в ДДК в соответствии с (1) и (3) сводится к  $l$ -кратному выполнению операций суммирования и  $(l-1)$ -кратному — операций умножения на 2 [1, 3–6]. Для этого исходное двоичное число, начиная со старших разрядов, последовательно вводится («выдвигается») в двоично-десятич-

ную разрядную сетку со стороны младших разрядов. В результате операция умножения на 2 реализуется сдвигом числа влево на одну двоичную позицию, а операция суммирования совмещается со сдвигом. В освобождающийся при сдвиге младший двоичный разряд вводится очередная цифра двоичного числа. Таким образом выполняется суммирование удвоенного числа в двоично-десятичной разрядной сетке с очередной цифрой двоичного числа. Все действия над ДДК чисел должны выполняться в десятичной системе счисления.

Из (3) следует, что после выполнения первого сдвига в двоично-десятичной разрядной сетке получим  $b_{l-1}$  при нулевом начальном значении числа в двоично-десятичной разрядной сетке, после второго  $(b_{l-1}2 + b_{l-2})$ , ..., после  $l$ -го сдвига  $((\dots b_{l-1}2 + b_{l-2}2 + \dots + b_1)2 + b_0)$ . После прибавления цифры младшего разряда  $b_0$  умножение не выполняется. Таким образом, в двоично-десятичной разрядной сетке накапливается и после  $l$  сдвигов образуется двоично-десятичное число  $A_{2^{-10}}^n = \alpha_{n-1}\alpha_{n-2}, \dots, \alpha_0$ , где  $\alpha_{n-1}, \alpha_{n-2}, \dots, \alpha_0$  двоичные тетрады, изображающие десятичные цифры десятичного числа,  $n$  — разрядность десятичного числа.

Из (1) и (4) следует, что перевод ДДК правильной дроби также выполняется умножением на 2 исходной двоично-десятичной дроби и дробных частей получающихся произведений. Операция умножения на 2, как и ранее, реализуется сдвигом влево двоично-десятичной дроби на одну двоичную позицию.

В качестве ДДК целесообразно использовать наиболее распространенный ДДК 8421, в котором десятичные цифры 0, 1, ..., 9 изображаются двоичными тетрадами 0000, 0001, ..., 1001 соответственно. Тетрады 1010, 1011, ..., 1111 не используются и называются псевдотетрадами. Цифры 8, 4, 2, 1 в обозначении кода — веса разрядов двоичной тетрады. Отметим, что в ДДК 8421 также выполняются операции преобразования ДДК целых чисел в ДК и ДК правильных дробей в ДДК [5, 8].

Умножая на 2 исходную дробь, получаем целую часть  $b_{-1}$  и дробную  $2^{-1}(b_{-2} + \dots + 2^{-1}((b_{-k})\dots))$ . Умножая дробную часть на 2, получим целую часть  $b_{-2}$  и дробную  $2^{-1}((b_{-3} + \dots + 2^{-1}(b_{-(k-1)} + 2^{-1}b_{-k})\dots))$  и т. д. После  $k$  тактов получим все цифры  $b_{-1}, b_{-2}, \dots, b_{-(k-1)}, b_{-k}$  двоичной дроби.

**Коррекция двоично-десятичных чисел при переводе.** Поскольку веса придаются тетрадам в неявном виде, двоичные числа в них независимо от того, какой перевод выполняется (ДДК целых чисел в ДК или ДК правильной дроби в ДДК), рассматриваются как целые.

После очередного сдвига влево на одну двоичную позицию двоичные числа в тетрадах, значения которых до сдвига не превышали  $4_{10} = 0100_2$ , удваиваются (умножаются на 2), так как цифра в тетраде с весом 4 приобретает вес 8, с весом 2 — вес 4, с весом 1 — вес 2.

Однако после сдвига могут возникнуть псевдотетрады, если до сдвига тетрады имели значения 5, 6, 7. Псевдотетрады корректируют после каждого сдвига, прибавляя к ним  $6_{10} = 0110_2$  с передачей единицы переноса в соседнюю старшую тетраду.

Те тетрады, которые имели до сдвига значения 8 или 9, также необходимо корректировать. Из таких тетрад при сдвиге влево происходит передача единицы в соседнюю старшую тетраду. Поскольку разрядное значение этой единицы при сдвиге увеличивается с 8 до 16, а в соседней старшей тетраде она приобретает вес 10, то двоично-десятичное число уменьшается на 6 единиц той тетрады, из которой произошла передача единицы. Таким образом, и в этом случае коррекция состоит в прибавлении  $6_{10} = 0110_2$  к этим тетрадам.

Однако коррекцию целесообразно проводить не после сдвига прибавлением  $6_{10}$ , а до сдвига прибавлением  $3_{10} = 0011_{(2)}$  к тем тетрадам, которые имеют значения от 5 до 9 включительно. При такой коррекции после сдвига не возникают псевдотетрады и образуется правильное произведение.

**Элементарный преобразователь (ЭП) двоичного кода в двоично-десятичный код, реализующий коррекцию.** ЭП должен выполнять функцию

$$Y = \begin{cases} X, & \text{если } 0 \leq X \leq 4, \\ X + 3, & \text{если } 5 \leq X \leq 9, \end{cases} \quad (5)$$

где  $X = (x_4 x_3 x_2 x_1)$  и  $Y = (y_4 y_3 y_2 y_1)$  — двоичные числа на входе и выходе ЭП;  $x_4, y_4$  — старшие разряды.

Работа ЭП поясняется приводимой ниже таблицей истинности.

**Таблица истинности ЭП**

Входы				Выходы			
$x_4$	$x_3$	$x_2$	$x_1$	$y_4$	$y_3$	$y_2$	$y_1$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	0	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	1

Условное графическое обозначение (УГО) ЭП с четырьмя входами и четырьмя выходами показано на рис. 1.

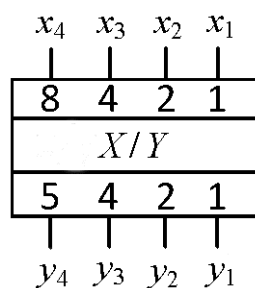
**Преобразование многоразрядных чисел.** Такое преобразование может выполняться в последовательно-комбинационном преобразователе [7], содержащем десятичный и двоичный регистры сдвига и элементы коррекции десятичного регистра, а также в каскадной комбинационной схеме. Комбинационная схема является асинхронной и имеет меньшее время задержки распространения сигналов.

Каждый каскад комбинационной схемы преобразователя выполняет операцию умножения на 2, суммирование (для перевода ДК целого числа в ДДК) и коррекцию результата. Сдвиг влево реализуется смещением вправо на одну двоичную позицию двоично-десятичной разрядной сетки данного каскада относительно разрядной сетки предыдущего каскада.

Отличие обоих видов преобразования состоит в том, что при преобразовании ДК целого числа в ДДК происходит последовательное наращивание двоично-десятичной разрядной сетки и образование в каскаде после очередного умножения и сложения текущего двоично-десятичного числа, а при преобразовании ДДК дроби в ДК исходная дробь помещается в двоично-десятичную разрядную сетку, образованную элементарными преобразователями в каждом разряде [8]. В остальном преобразования выполняются в соответствии с выражениями (3) и (4).

На рис. 2 приведена схема комбинационного преобразователя 8-разрядного ДК целого числа в ДДК, а на рис. 3 — схема комбинационного преобразователя 2-разрядного ДДК правильной дроби в ДК на ЭП с четырьмя входами и четырьмя выходами (см. рис. 1). Преобразование ДДК правильной дроби в ДК в общем случае выполняется неточно. Количество разрядов выходного ДК определяется или заданной погрешностью перевода или разрядностью ДК. Например, для преобразования 2-разрядной десятичной дроби с погрешностью, не превышающей половины единицы младшего разряда, т. е. 0,005, количество разрядов ДК должно быть не менее 8 ( $2^{-8} = 0,004$ ).

В сериях интегральных схем (ИС) имеются ИС SN74185A, SN54185A фирмы Texas Instruments и K155ПР7 отечественной серии K155, предназначенные, по справочным данным изготовителей, для преобразования ДК целых чисел в ДДК [3–5, 9]. В ИС размещены и объединены между собой три ЭП с четырьмя входами и четырьмя выходами (ЭП-4), но в преобразователях многоразрядных чисел одна ИС



**Рис. 1.** Условное графическое обозначение элементарного преобразователя ДК в ДДК код

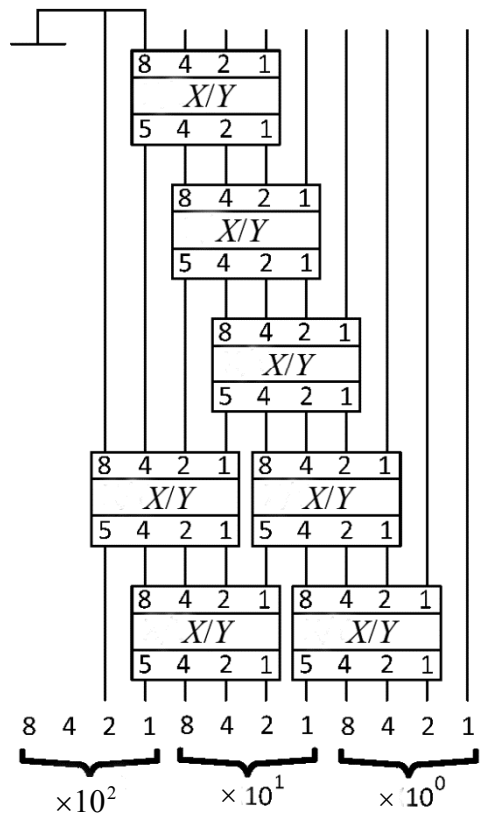
заменяет два ЭП-4, реже — три. Это объясняется тем, что вход  $X_4$  ЭП-4 первого каскада внутри ИС подключен к уровню логического нуля, чтобы сумма весов входного кода не превышала сумму весов выходного кода. Такое объединение трех ЭП-4 представляет собой ЭП с пятью входами и шестью выходами [3–5]. ЭП-4 можно построить в виде двухуровневой схемы И-ИЛИ или реализовать на 4-разрядном полном сумматоре. Однако все эти варианты ЭП-4 основаны на применении ИС малой и средней степени интеграции и неперспективны из-за низких показателей быстродействия, потребляемой мощности, конструктивно-технологического исполнения и габаритно-массовых параметров. Например, только одна ИС SN74185А имеет задержку распространения  $\sim 35 \div 40$  нс и потребляемую мощность  $\sim 200$  мВт.

Двоичное число

$A_2$

Вес двоичного разряда

$2^7 \ 2^6 \ 2^5 \ 2^4 \ 2^3 \ 2^2 \ 2^1 \ 2^0$



Вес разряда тетрады

8 4 2 1 8 4 2 1 8 4 2 1

Вес тетрады

$\times 10^2 \quad \times 10^1 \quad \times 10^0$

Двоично-десятичное число

$A_{2-10}$

Рис. 2. Схема преобразователя 8-разрядного ДК целого числа в ДДК

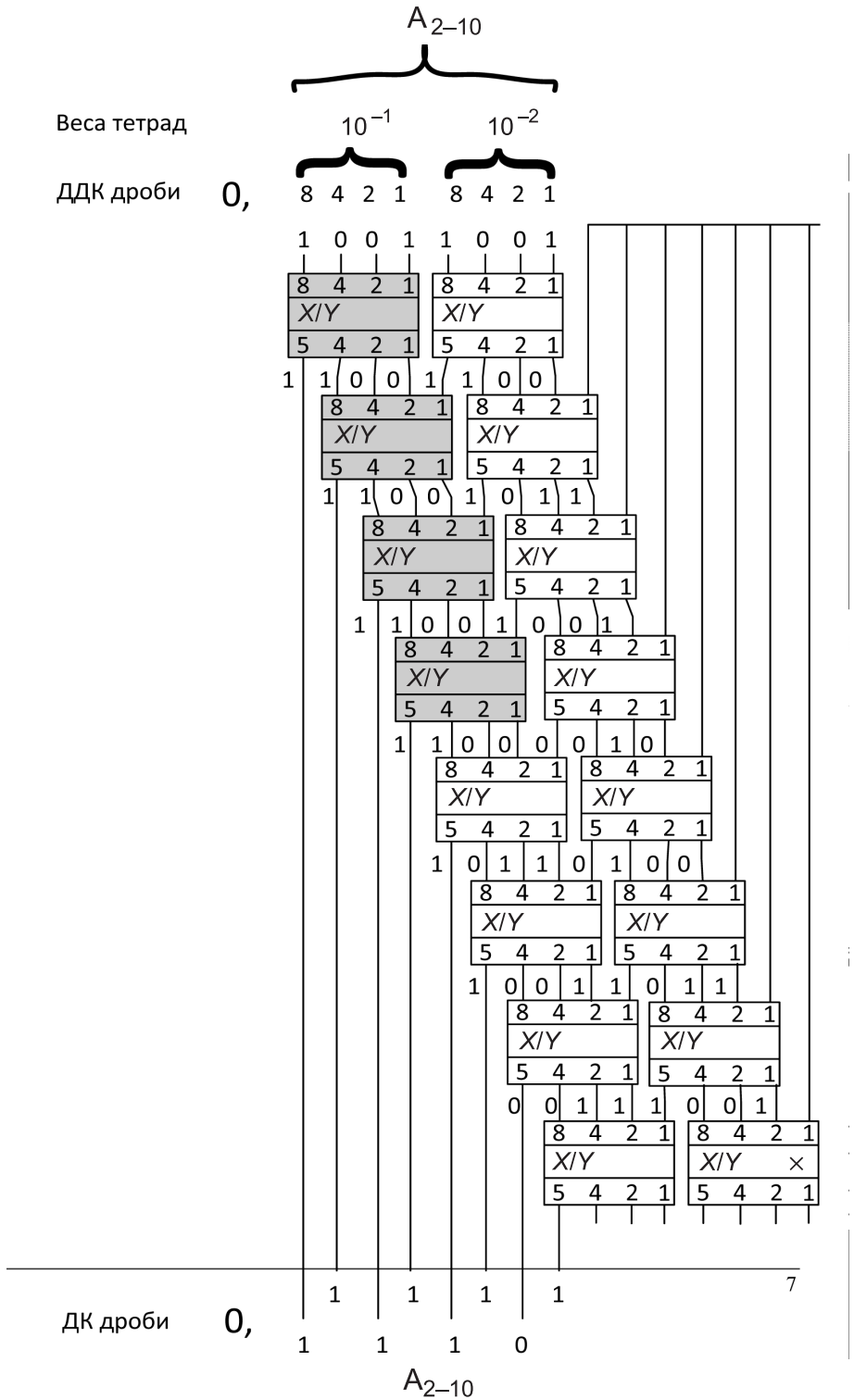


Рис. 3. Схема преобразователя 2-разрядного ДДК правильной дроби в ДК:  
 × — данный блок не используется

При выборе элементной базы вычислительных устройств обычно учитывают такие критерии отбора, как быстродействие, схемотехнические и конструктивные параметры ИС, стоимость.

Высокие эксплуатационные параметры можно ожидать, если реализовать преобразователи многоразрядных чисел на отдельных программируемых логических интегральных схемах (ПЛИС) или на ПЛИС в составе вычислительного устройства, занимая часть ресурсов ПЛИС.

Большими функциональными возможностями обладают ПЛИС фирмы Xilinx типа FPGA (Field Programmable Gate Array — программируемый пользователем массив вентиляей) семейств Spartan, Spartan-XL, Spartan-II, Spartan-III, Spartan-VI, Virtex-VI и др.

Для построения многоразрядных преобразователей требуется большое число ЭП, реализующих функции алгебры логики (ФАЛ) четырех и большего числа переменных.

Одним из основных блоков ПЛИС типа FPGA является CLB — Configurable Logic Block (конфигурируемый логический блок (КЛБ)).

CLB предназначены для реализации произвольных ФАЛ многих переменных. Все CLB одинаковы и включают комбинационную логику, элементы памяти — триггеры — и функциональные узлы внутренней коммутации — мультиплексоры. Время задержки распространения сигнала через CLB не зависит от реализуемой ФАЛ, а определяется временем прохождения сигналов через все логические цепи.

Основной функциональной частью CLB является логическая ячейка, состоящая из табличного преобразователя (LUT-LOOK-Up Tables), схемы ускоренного переноса и триггера.

Каждый CLB ПЛИС семейств Spartan-II и Spartan-III, Virtex-E содержит 4 логические ячейки, объединенные попарно в две секции (Slise). Поэтому в пределах одного CLB, используя мультиплексоры, можно реализовать любую ФАЛ до шести переменных.

В CLB ПЛИС семейств Spartan-VI и Virtex-VI табличные преобразователи LUT имеют 6 входов и могут реализовать произвольную ФАЛ шести переменных. В пределах одного CLB можно реализовать любую ФАЛ до восьми переменных.

Функциональные ресурсы ПЛИС характеризуются, в частности, числом CLB и для разных семейств составляют величину от сотни до десятков тысяч.

В ПЛИС архитектуры FPGA фирмы Altera генерация ФАЛ выполняется также табличными преобразователями LUT. Например, ПЛИС семейств FLEX6000, FLEX8000, FLEX10k и другие содержат 4-входовые LUT.

И с учетом функционально-логических ресурсов ПЛИС фирмы Xilinx, был реализован ЭП с семью входами и семью выходами (ЭП-7), заменяющий четыре ЭП-4. На рис. 4 показано объединение четырех ЭП-4 и УГО ЭП-7 соответственно.



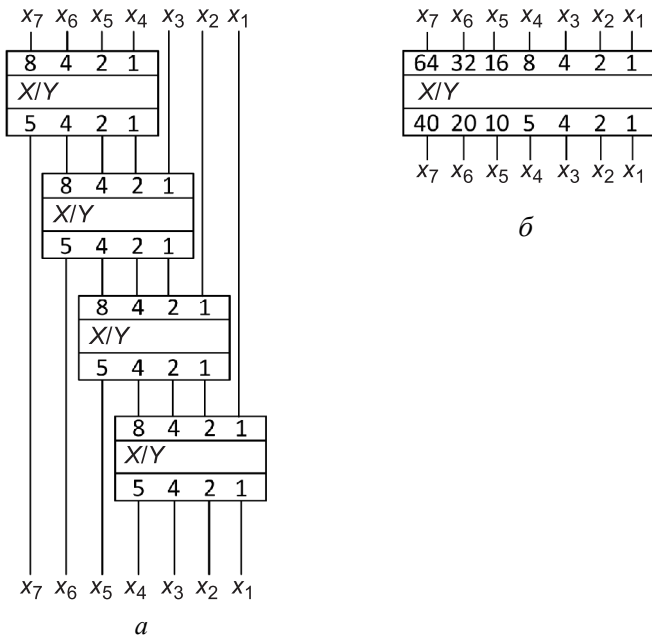


Рис. 4. Элементарный преобразователь с семью входами и семью выходами:  
*a* — объединение четырех ЭП-4; *б* — УГО ЭП-7

ЭП-7 выполняет функцию:

$$Y = \begin{cases} X, & \text{если } 0 \leq X \leq 4, \\ X + 3, & \text{если } 5 \leq X \leq 9, \\ X + 6, & \text{если } 10 \leq X \leq 14, \\ X + 9, & \text{если } 15 \leq X \leq 19, \\ X + 12, & \text{если } 20 \leq X \leq 24, \\ X + 15, & \text{если } 25 \leq X \leq 29, \\ X + 18, & \text{если } 30 \leq X \leq 34, \\ X + 21, & \text{если } 35 \leq X \leq 39, \\ X + 24, & \text{если } 40 \leq X \leq 44, \\ X + 27, & \text{если } 45 \leq X \leq 49, \\ X + 30, & \text{если } 50 \leq X \leq 54, \\ X + 33, & \text{если } 55 \leq X \leq 59, \\ X + 36, & \text{если } 60 \leq X \leq 64, \\ X + 39, & \text{если } 65 \leq X \leq 69, \\ X + 42, & \text{если } 70 \leq X \leq 74, \\ X + 45, & \text{если } 75 \leq X \leq 79. \end{cases}$$

Структуры преобразователей ДК целых чисел в ДДК и ДДК правильных дробей в ДК каскадные комбинационные и являются во многом сходными. В связи с этим, а также учитывая, что в литературе практически не рассматриваются схемотехнические построения преобразователей правильных дробей, было проведено построение и моделирование преобразователя ДДК правильных дробей в ДК на ЭП-4 и ЭП-7. Схема преобразователя 8-разрядного ДДК правильных дробей в ДК, построенная на ЭП-7, приведена на рис 5.

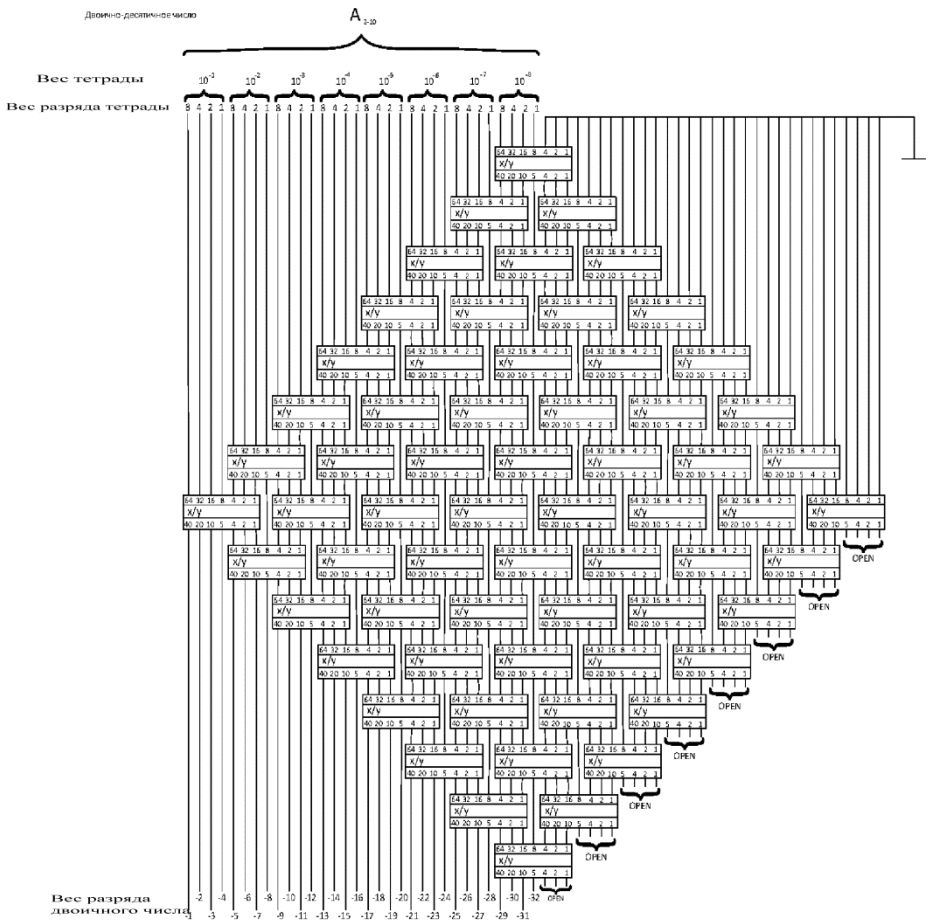


Рис. 5. Схема преобразователя 8-разрядного ДДК правильной дроби в ДК

Синтез и анализ реализаций данного преобразователя и его функционирование проводились с помощью стандартных средств, входящих в состав пакета САПР ISE Xilinx 14.1. Время задержки распространения составило:

- в табличном преобразователе  $t_{3, \text{p.LUT}} = 0,4 \text{ нс}$ ;
- линиях связи  $t_{3, \text{п.л.с}} = 1,4 \text{ нс}$ ;
- CLB  $t_{3, \text{п.CLB}} = 1,8 \text{ нс}$ .

Для преобразователя, реализованного на ЭП-4 в ПЛИС Spartan-III, время задержки распространения в 32-разрядном преобразователе ДДК дроби в ДК составило 57,6 нс.

При реализации преобразователя в ПЛИС на ЭП-7 задержки распространения составили:  $t_{з.р. LUT} = 0,4$  нс;  $t_{з.р. л.с} = 1,6$  нс;  $t_{з.р. CLB} = 2,0$  нс, а в 32-разрядном преобразователе ДДК дроби этот показатель равен 31 нс.

Количество задействованных CLB составило 470 единиц в ПЛИС Spartan-III и 337 единиц в ПЛИС Spartan-VI.

Таким образом, ПЛИС семейств Spartan-II, Spartan-III, Spartan-VI и другие обеспечивают высокое быстродействие преобразователей, малые статическую и динамическую мощности потребления и достаточно низкую стоимость.

## ЛИТЕРАТУРА

- [1] Савельев А.Я. *Арифметические и логические основы цифровых автоматов*. Москва, Высш. шк., 1980, 255 с.
- [2] Дроздов Е.А., Комарницкий В.А., Пятибратов А.П. *Электронные вычислительные машины единой системы*. 2-е изд., перераб. и доп. Москва, Машиностроение, 1981, 648 с.
- [3] *Проектирование импульсных и цифровых устройств радиотехнических систем*: учеб. пособие для радиотехнич. спец. вузов. Ю.П. Гришин, Ю.М. Казаринов, В.М. Катиков, под. ред. Ю.М. Казаринова. Москва, Высш. шк., 1985, 319 с.
- [4] Титце У., Шенк К. *Полупроводниковая схемотехника*: справочное руководство, пер. с нем. Москва, Мир, 1983, 512 с.
- [5] Пухальский Г. И., Новосельцева Т. Я. *Проектирование дискретных устройств на интегральных микросхемах*: справочник. Москва, Радио и связь, 1990, 304 с.
- [6] Алексенко А. Г. *Основы микросхемотехники. Элементы морфологии микроэлектронной аппаратуры*. 2-е изд., перераб. и доп. Москва, Сов. радио, 1977, 408 с.
- [7] Карцев М. А. *Арифметика цифровых машин*. Москва, Наука, 1969, 576 с.
- [8] Жирков В.Ф., Ходин В.В. Алгоритм преобразования двоично-десятичного кода правильных дробей в двоичный код и его реализация аппаратными средствами комбинационного типа. *Вестник МГТУ им. Н.Э. Баумана. Сер. Приборостроение*, 2012. Спец. выпуск № 4 «Компьютерные системы и технологии», с. 97–105.
- [9] Couleur J. F. *«Trans IRE*, 1958, № 4, p. 313.

Статья поступила в редакцию 24.06.2013

Ссылку на эту статью просим оформлять следующим образом:

Жирков В.Ф., Маслов И.Д. Сравнительная оценка алгоритмов перевода и построение комбинационных преобразователей двоичного кода целых чисел в двоично-десятичный код и двоично-десятичного кода правильных дробей в двоичный код на плис. *Инженерный журнал: наука и инновации*, 2013, вып. 11. URL: <http://engjournal.ru/catalog/it/hidden/1067.html>

**Жирков Владимир Филиппович** родился в 1934 г., окончил МВТУ им. Н.Э. Баумана в 1960 г. Канд. техн. наук, доцент кафедры «Компьютерные системы и сети» МГТУ им. Н.Э. Баумана. Автор более 60 научных работ в области обработки информации в информационно-измерительной технике.

**Маслов Иван Дмитриевич** родился в 1992 г., окончил МГТУ им. Н.Э. Баумана в 2013 г. Бакалавр кафедры «Компьютерные системы и сети» МГТУ им. Н.Э. Баумана. Автор трех научных работ в области информационных технологий. Специализируется в сфере настройки корпоративных систем и цифровой обработки сигналов.