

## **Построение преобразователей двоично-десятичного кода целых чисел в двоичный код и двоичного кода правильных дробей в двоично-десятичный код**

© В.Ф. Жирков, И.Д. Маслов

МГТУ им. Н.Э. Баумана, Москва, 105005, Россия

*Проведен анализ алгоритмов перевода двоичного кода правильных дробей в двоично-десятичный код и двоично-десятичного кода целых чисел в двоичный код. Выявлено, что при рациональном выборе алгоритмов обоих видов перевода требуется совершать одни и те же арифметические операции; все действия должны выполняться над двоично-десятичными числами в десятичной системе счисления. Для реализации преобразователей рассматриваемых кодов и чисел аппаратными средствами целесообразно применять двоично-десятичный код 8421. При этом для обоих видов перевода требуется выполнять одинаковую коррекцию тетрад элементарными преобразователями одного типа. Показано, что объединение элементарных преобразователей позволяет сократить число каскадов комбинационной схемы многоразрядных преобразователей и тем самым уменьшить задержки распространения сигналов. Моделирование 32-разрядного преобразователя двоичного кода правильных дробей в двоично-десятичный код, схема которого реализована на ПЛИС SPARTAN-II, SPARTAN-3, SPARTAN-6 фирмы Xilinx, показало, что задержка распространения сигнала составляет ~35...50 нс.*

**Ключевые слова:** система счисления, двоичный код, двоично-десятичный код, целое число, правильная дробь, алгоритм перевода, преобразователь, комбинационная схема.

Перевод чисел из десятичной системы счисления в двоичную и обратно выполняется при их вводе-выводе в вычислительные устройства и ЭВМ.

Кодирование десятичных чисел основано на двоично-десятичном изображении цифр четырехразрядными двоичными числами (тетрадами).

Наиболее распространенным является двоично-десятичный код (ДДК) 8421. В этом коде десятичные цифры 0, 1, ..., 9 изображаются двоичными тетрадами 0000, 0001, ..., 1001 соответственно. Тетрады 1010, 1011, ..., 1111 не используются и называются псевдотетрадами. Цифры 8, 4, 2, 1 в обозначении кода — это веса разрядов двоичной тетрады.

Перевод десятичных чисел в ДДК 8421 состоит в замене каждой десятичной цифры числа соответствующей двоичной тетрадой.

Перевод десятичного числа  $A$

$$\begin{aligned} A_{10} &= a_{n-1}a_{n-2}\dots a_1a_0a_{-1}a_{-2}\dots a_{-m} = \\ &= a_{n-1} \cdot 10^{n-1} + a_{n-2} \cdot 10^{n-2} + \dots + a_1 \cdot 10^1 + a_0 + \\ &+ a_{-1} \cdot 10^{-1} + a_{-2} \cdot 10^{-2} + \dots + a_{-m} \cdot 10^{-m} \end{aligned} \quad (1)$$

или его изображения в ДДК 8421

$$A_{2-10} = \alpha_{n-1}\alpha_{n-2}\dots\alpha_1\alpha_0\alpha_{-1}\alpha_{-2}\dots\alpha_{-m} \quad (2)$$

в двоичную систему счисления выполняется отдельно для целой и дробной частей числа.

В (1) и (2)  $a_{n-1}, a_{n-2}, \dots, a_1, a_0, a_{-1}, a_{-2}, \dots, a_{-m}$  — цифры десятичного числа,  $\alpha_{n-1}, \alpha_{n-2}, \dots, \alpha_1, \alpha_0, \alpha_{-1}, \alpha_{-2}, \dots, \alpha_{-m}$  — двоичные тетрады, изображающие соответствующие цифры десятичного числа,  $n$  и  $m$  — количество разрядов целой и дробной частей числа, 10 — основание десятичной системы счисления.

Алгоритмы перевода можно определить из записи числа  $A_{10}$  в виде последовательных вложений [1]

$$A_{10}^{\text{ц}} = (\dots(a_{n-1} \cdot 10 + a_{n-2}) \cdot 10 + \dots + a_1) \cdot 10 + a_0, \quad (3)$$

$$A_{10}^{\text{др}} = \left( (\dots(a_{-m} \cdot 10^{-1} + a_{-(m-1)}) \cdot 10^{-1} + \dots + a_{-2}) \cdot 10^{-1} + a_{-1} \right) \cdot 10^{-1}. \quad (4)$$

В ЭВМ при выполнении перевода двоично-десятичных чисел в двоичный код (ДК) программным способом в универсальном арифметическом устройстве все действия выполняются в двоичной системе счисления. Например, для целых чисел в соответствии с (2) и (3) последовательно вычисляют произведение старшего разряда  $\alpha_{n-1}$  на 1010 (основание десятичной системы счисления, записанное в двоичном коде) и прибавляют следующую цифру  $\alpha_{n-2}$ . Полученную сумму также умножают на 1010 и к полученному произведению прибавляют следующую цифру  $\alpha_{n-3}$  и так до последнего сложения с  $\alpha_0$  без последующего умножения [2].

Подобным образом выполняется перевод ДК правильной дроби в ДДК в соответствии с (2) и (4). При этом все действия также выполняются в новой, т.е. двоичной, системе счисления.

При реализации перевода чисел из одной позиционной системы счисления в другую аппаратными средствами следует принимать во внимание простоту выполнения арифметических операций и схемотехнического построения устройства перевода преобразователя. В ряде источников [3–5] отсутствует единый подход к обоснованию системы счисления и выбору ДДК, в которых выполняется перевод, и к построению преобразователей.

Рассмотрим преобразования ДДК целых чисел в ДК и ДК правильных дробей в ДДК. Алгоритмы перевода можно определить, приведя записи целой и дробной частей двоичного числа  $A$

$$\begin{aligned} A_2 &= b_{l-1}b_{l-2}\dots b_0b_{-1}b_{-2}\dots b_{-k} = \\ &= b_{l-1} \cdot 2^{l-1} + b_{l-2} \cdot 2^{l-2} + \dots + b_0 + b_{-1} \cdot 2^{-1} + \\ &+ b_{-2} \cdot 2^{-2} + \dots + b_{-k} \cdot 2^{-k}, \end{aligned} \quad (5)$$

к виду последовательных вложений

$$A_{2-10}^{\text{ц}} = A_2^{\text{ц}} = (\dots(b_{l-1} \cdot 2 + b_{l-2}) \cdot 2 + \dots + b_1) \cdot 2 + b_0, \quad (6)$$

$$A_{2-10}^{\text{др}} = A_2^{\text{др}} = \left( (\dots(b_{-k} \cdot 2^{-1} + b_{-(k-1)}) \cdot 2^{-1} + \dots + b_{-2}) \cdot 2^{-1} + b_{-1} \right) \cdot 2^{-1}, \quad (7)$$

где  $b_{l-1}, b_{l-2}, \dots, b_0, b_{-1}, b_{-2}, \dots, b_{-k}$  — цифры целой и дробной частей числа, равные 0 или 1;  $l$  и  $k$  — количество разрядов целой и дробной частей числа.

Анализ алгоритмов перевода ДДК целых чисел в ДК и ДК правильных дробей в ДДК, которые можно определить из (6) и (7), выявляет общие характерные черты и особенности, а также некоторые отличия этих алгоритмов, принципиально влияющие на выполнение арифметических операций, на систему счисления, в которой выполняются действия, элементную базу и рациональное построение функциональных схем преобразователей, реализующих эти виды переводов чисел.

Согласно (6) перевод ДДК целого числа в ДК состоит в последовательном делении числа и образующихся целых частных на основание 2 двоичной системы счисления. Полученные в процессе последовательного деления остатки являются цифрами  $b_0, b_1, \dots, b_{l-1}$  целого числа  $A$  в новой, т. е. двоичной, системе счисления. Последний остаток является старшей цифрой  $b_{l-1}$  двоичного числа [6–8].

Согласно (7) перевод ДК правильной дроби в ДДК сводится к  $k$ -кратному выполнению суммирования и умножения на  $2^{-1}$ , т. е. деления на 2. В первом такте определяется произведение  $(0 + b_{-k}) \cdot 2^{-1}$  (начальное значение суммы равно 0 – начальное условие), во втором такте —  $(b_{-k} \cdot 2^{-1} + b_{-(k-1)}) \cdot 2^{-1}$  и т. д. [5]. Например, при переводе двоичной дроби  $0,1011_2$  в десятичную последовательно получим:

$$\begin{aligned} (0 + 1) \cdot 2^{-1} &= 0,5; \quad (0,5 + 1) \cdot 2^{-1} = 0,75; \\ (0,75 + 0) \cdot 2^{-1} &= 0,375; \quad (0,375 + 1) \cdot 2^{-1} = 0,6825. \end{aligned}$$

Действительно,  $0,1011_2 = 0,6825_{10}$ .

В цифровом вычислительном устройстве — преобразователе кодов — в обоих случаях операции должны выполняться в десятичной системе счисления над ДДК целого и дробного чисел.

**Отметим общие характерные операции и отличия обоих видов перевода ДДК целого числа в ДК и ДК правильной дроби в ДДК:**

1. Все арифметические действия над числами выполняются в двоично-десятичной разрядной сетке в десятичной системе счисления. При переводе ДДК целого числа в ДК эта система счисления является исходной, а при переводе ДК правильной дроби в ДДК — новой.

2. При обоих видах перевода выполняется операция деления на 2 (умножение на  $2^{-1}$ ). Операция деления на 2 наиболее просто реализуется путем сдвига двоично-десятичного числа вправо (в сторону младших разрядов) на один двоичный разряд. При переводе ДДК в ДК целое число предварительно размещается в двоично-десятичной разрядной сетке, а при переводе ДК дроби ее ДДК последовательно, такт за тактом, образуется в двоично-десятичной разрядной сетке.

Двоичная дробь, начиная с младших разрядов, вводится («сдвигается») в двоично-десятичную разрядную сетку со стороны старших разрядов (слева направо). Таким образом, одновременно с умножением реализуется сложение очередной цифры двоичной дроби с ранее сформированными после каждого такта двоично-десятичным числом (начальное значение числа в двоично-десятичной разрядной сетке равно 0).

3. Общей характерной чертой обоих видов переводов при выполнении умножения на  $2^{-1}$  является необходимость коррекции после каждого сдвига.

При изображении чисел в ДДК 8421 после сдвига числа вправо на один двоичный разряд каждая тетрада уменьшается в 2 раза, если в эту тетраду не поступают единицы переноса из соседних старших тетрад. Действительно, при сдвиге вправо цифра в тетраде с весом 8 приобретает вес 4, с весом 4 — вес 2, с весом 2 — вес 1, т. е. происходит деление числа на 2. Если же при сдвиге из соседней старшей тетрады в данную тетраду переносится единица, имеющая разрядное значение 10 единиц этой младшей тетрады, то она приобретает в тетраде вес 8, а должна быть воспринята в ней как 5 ( $10 : 2 = 5$ ). Поэтому тетрады, в которые при сдвиге поступают единицы из соседних старших тетрад, должны корректироваться путем их уменьшения на  $3_{10} = 0011_2$ .

Таким образом, чтобы разделить двоично-десятичное число на 2, необходимо сдвинуть ДДК 8421 данного числа (целого или дробного) на один двоичный разряд вправо и вычесть  $3_{10} = 0011_2$  из тех тетрад, в которые при сдвиге поступили единицы.

4. Следует иметь в виду, что числа в двоично-десятичной разрядной сетке при обоих видах перевода ничем не отличаются по форме друг от друга, хотя в первом случае они представляют целое число,

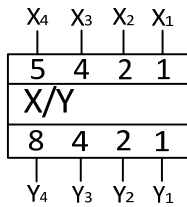
а во втором — правильную дробь. Это объясняется тем, что веса двоично-десятичным разрядам присвоены в неявном виде. Без учета весов числа в тетрадах рассматриваются как просто целые числа. Поэтому суть коррекции тетрад одинакова как при переводе ДДК целого числа в ДК, так и при переводе ДК дроби в ДДК.

Элементарный преобразователь (ЭП) одной двоично-десятичной тетрады для обоих видов перевода должен выполнять коррекцию согласно функции

$$Y = \begin{cases} X, & \text{если } 0 \leq X \leq 4, \\ X - 3, & \text{если } 8 \leq X \leq 12, \end{cases} \quad (8)$$

где  $X = (x_4x_3x_2x_1)$ ,  $Y = (y_4y_3y_2y_1)$  — двоичные числа на входах и выходах ЭП соответственно;  $x_4, y_4$  — старшие разряды тетрад.

Элементарный преобразователь имеет четыре входа с весами 5, 4, 2, 1 и четыре выхода с весами 8, 4, 2, 1. Такой ЭП назовем ЭП-4. Тетрады 0101, 0110, 0111, 1101, 1110, 1111 не могут появиться на входах ЭП-4. Условное графическое обозначение (УГО) ЭП-4 показано на рис. 1.



**Рис. 1.** Условное графическое обозначение элементарного преобразователя одной двоично-десятичной тетрады

5. Преобразования многоразрядных целого числа или правильной дроби могут выполняться в каскадных комбинационных или в последовательно-комбинационных схемах.

В каскадной комбинационной схеме каждый каскад выполняет операции деления на 2 (умножение на  $2^{-1}$ ), сложения (для дроби) и коррекцию тетрад. Деление на 2 выполняется не сдвигом числа вправо, а смещением влево на один двоичный разряд двоично-десятичной разрядной сетки данного каскада относительно разрядной сетки предыдущего каскада.

Младший двоичный разряд младшей тетрады ДДК 8421 целого числа равен младшему разряду ДК этого числа, поэтому этот разряд минует преобразователь ДДК целого числа в ДК и передается на выход. Остальные разряды ДК числа формируются соответствующими каскадами. Каскадирование прекращается, если в очередном каскаде образуется число не более  $4_{10} = 0100_2$ .

В преобразователе ДК правильной дроби в ДДК количество каскадов равно разрядности исходной двоичной дроби. В этом случае двоичная дробь точно переводится в двоично-десятичную. Однако количество разрядов двоично-десятичной дроби оказывается избыточным, поэтому ее разрядность ограничивают требуемой точностью перевода или разрядностью выходного ДДК [9].

На рис. 2 приведена схема преобразователя трехразрядного ДДК целого числа в ДК. На вход преобразователя подано число

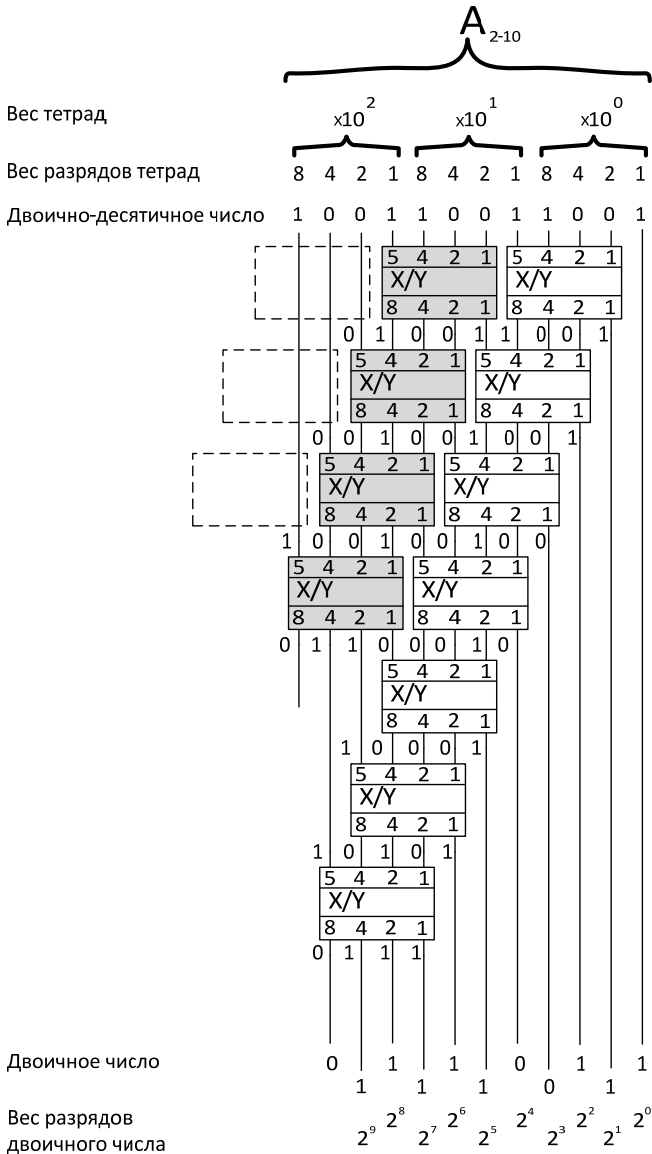
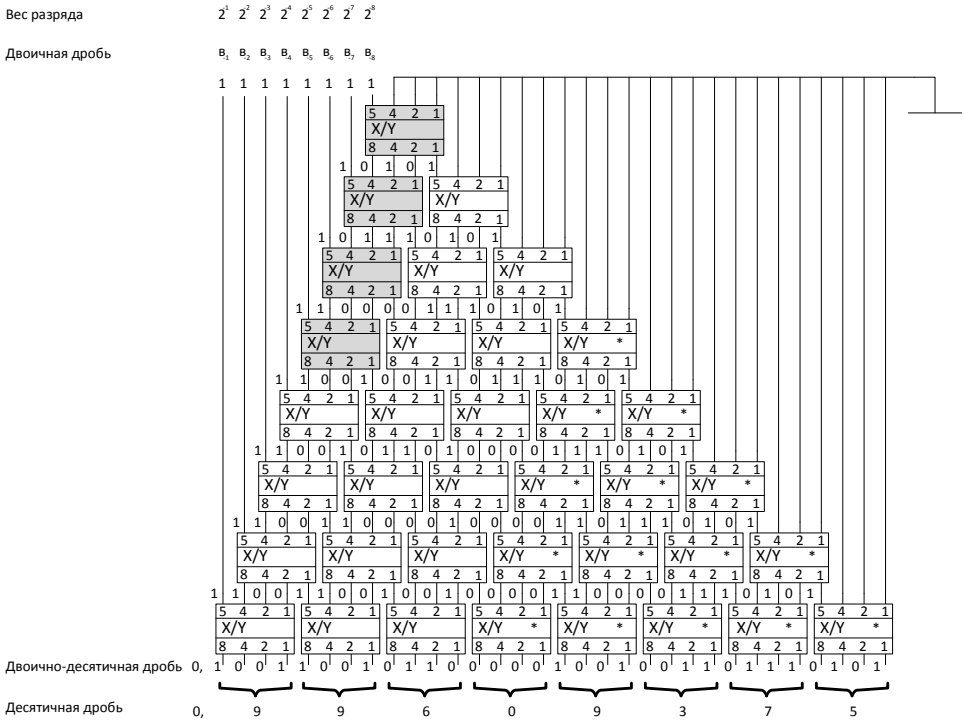


Рис. 2. Схема преобразователя трехразрядного ДДК целого числа в ДК

$A_{2-10} = 100110011001$  ( $A_{10} = 999$ ). На выходе преобразователя имеем  $A_2 = 1111100111$ . При подаче на вход преобразователя максимально-го числа выявляются лишние ЭП в каскадах со стороны старших разрядов ДДК. Лишними являются ЭП, на которые поступают двоичные числа не более  $0100_2$ . На рис. 2 лишние ЭП показаны штриховыми контурами. Через них входные числа передаются без изменения.

На рис. 3 приведена схема преобразователя восьмиразрядного ДК правильной дроби в ДДК. Правильная дробь точно переводится в двоично-десятичную. При этом количество разрядов ДДК дроби равно количеству разрядов исходной двоичной дроби. Однако количество разрядов ДДК избыточно для представления двоичной дроби с погрешностью, не превышающей половины следующего младшего разряда, т. е.  $0,5 \cdot 2^{-9}$ , поэтому ДДК дроби можно ограничить тремя десятичными разрядами.



**Рис. 3.** Схема преобразователя восьмиразрядного ДК правильной дроби в ДДК

В качестве примера на рис. 3 показано преобразование ДК правильной дроби  $A_2^{ДП} = 0,11111111$ , что соответствует десятичной дроби  $A_{10}^{ДП} = 0,99609375$ . С погрешностью, не превышающей  $0,001$ , можно ограничить выходной ДДК дроби тремя разрядами. В этом случае десятичная дробь  $A_{10}^{ДП} = 0,996$  и ЭП, отмеченные на рис. 3 знаком «\*»,

можно исключить из схемы, так как они не участвуют в образовании трехразрядного ДДК дроби.

Преобразователи можно реализовать на интегральных схемах (ИС) SN54184, SN74184 фирмы Texas Instruments и отечественных К155ПР6. Элементарные преобразователи этих ИС заменяют два ЭП-4. Такой ЭП с пятью входами и пятью выходами назовем ЭП-5. Он выполняет функцию

$$Y = \begin{cases} X, & \text{если } 0 \leq X \leq 4, \\ X - 3, & \text{если } 8 \leq X \leq 12, \\ X - 6, & \text{если } 16 \leq X \leq 20, \\ X - 9, & \text{если } 24 \leq X \leq 28. \end{cases} \quad (9)$$

Указанные ИС имеют задержку распространения 35...40 нс, потребляемую мощность ~200 мВт и малоперспективны на современном уровне развития элементной базы вычислительных устройств и их конструктивно-технологического изготовления.

Высокое быстродействие и малую потребляемую мощность можно обеспечить при реализации преобразователей на программируемых логических ИС (ПЛИС), например, фирмы Xilinx.

Высокими функциональными возможностями обладают ПЛИС фирмы Xilinx типа FPGA (Field Programmable Gate Arrays – программируемый пользователем массив вентиляей).

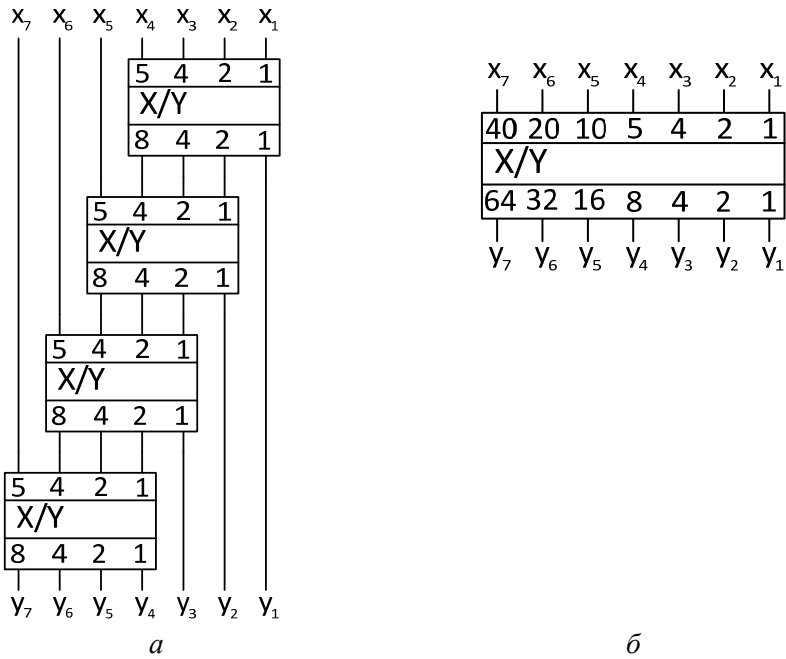
Конфигурируемые логические блоки (КЛБ) этих ПЛИС содержат табличные преобразователи LUT (Look-Up Tables), реализующие функции алгебры логики (ФАЛ) нескольких переменных (не менее четырех).

Фирма Xilinx выпускает несколько серий ПЛИС типа FPGA. Серия SPARTAN сочетает высокие функциональные возможности и низкую стоимость. Конфигурируемые логические блоки ПЛИС семейств SPARTAN-II и SPARTAN-3 содержат две секции (Slice), в каждой секции размещены два четырехвыходовых LUT. Каждый LUT может реализовывать любую ФАЛ четырех переменных. В КЛБ имеются мультиплексоры, позволяющие в одном КЛБ реализовать ФАЛ до шести переменных, используя для этого теорему разложения Шеннона.

В КЛБ ПЛИС семейств SPARTAN-6 и Virtex-6 табличный преобразователь LUT реализует любую ФАЛ шести переменных. В пределах одного КЛБ можно генерировать ФАЛ до восьми переменных.

Так как структуры схем преобразователей ДДК целого числа в ДК и ДК правильной дроби в ДДК подобны, то было проведено моделирование 32-разрядного преобразователя ДК правильной дроби в ДДК. В преобразователе применены ЭП-7 с семью входами и семью выходами, которые объединяют четыре ЭП-4 (рис. 4).





**Рис. 4.** Элементарный преобразователь с семью входами и семью выходами:  
 а — объединение четырех ЭП-4; б — УГО ЭП-7

Преобразователь ЭП-7 выполняет функцию

$$Y = \begin{cases} X, & \text{если } 0 \leq X \leq 4, \\ X - 3, & \text{если } 8 \leq X \leq 12, \\ X - 6, & \text{если } 16 \leq X \leq 20, \\ X - 9, & \text{если } 24 \leq X \leq 28, \\ X - 12, & \text{если } 32 \leq X \leq 36, \\ X - 15, & \text{если } 40 \leq X \leq 44, \\ X - 18, & \text{если } 48 \leq X \leq 52, \\ X - 21, & \text{если } 56 \leq X \leq 60, \\ X - 24, & \text{если } 64 \leq X \leq 68, \\ X - 27, & \text{если } 72 \leq X \leq 76, \\ X - 30, & \text{если } 80 \leq X \leq 84, \\ X - 33, & \text{если } 88 \leq X \leq 92, \\ X - 36, & \text{если } 96 \leq X \leq 100, \\ X - 39, & \text{если } 104 \leq X \leq 108, \\ X - 42, & \text{если } 112 \leq X \leq 116, \\ X - 45, & \text{если } 120 \leq X \leq 124. \end{cases} \quad (10)$$

В качестве примера на рис. 2 и 3 затенением показано объединение четырех ЭП-4.

В преобразователе 32-разрядного ДК дроби в ДДК (рис. 5), кроме ЭП-7, в случае когда число ЭП-4, расположенных по диагонали, не кратно 4, используются также ЭП-4, ЭП-5 и ЭП-6 (см. рис. 3). Преобразователь ЭП-6 объединяет три ЭП-4 и имеет шесть входов и шесть выходов. Функционирование ЭП-6 определяется первыми восемью строками функции (10).

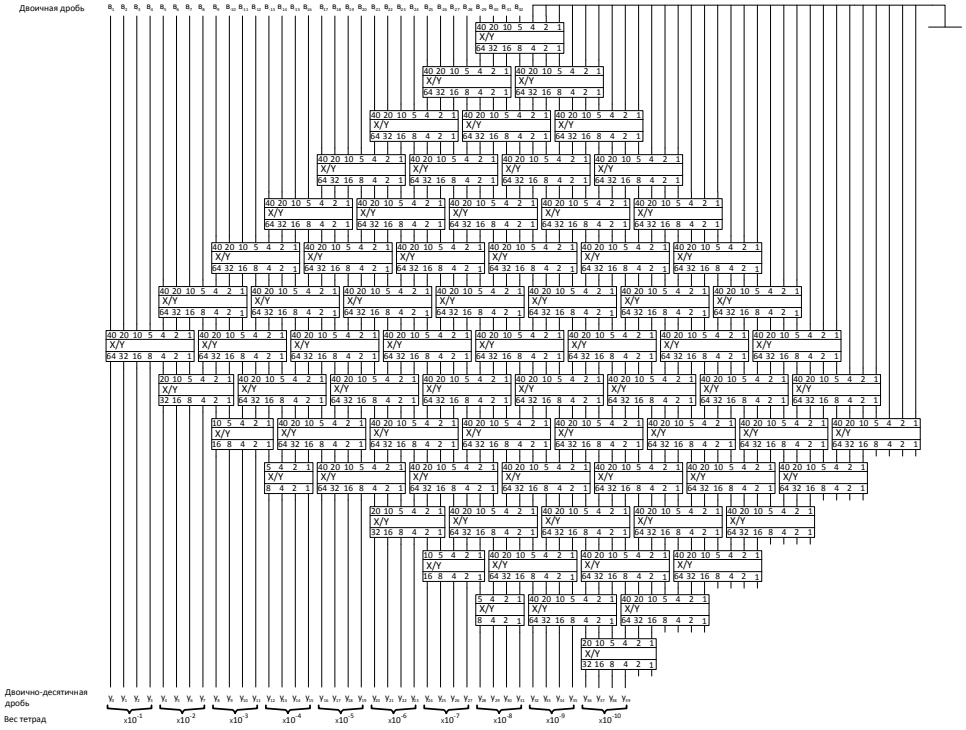


Рис. 5. Схема преобразователя 32-разрядного ДК правильной дроби в ДДК

В результате моделирования определено время задержек распространения сигналов LUT  $t_{з.д.лут} = 0,4$  нс и линий связи  $t_{л.с} = 1,4...1,6$  нс. Так как LUT реализован в виде оперативной памяти, то  $t_{з.д.лут}$  не зависит от реализуемой функции. Преобразователь 32-разрядной дроби содержит 15 каскадов, время задержки распространения сигналов в преобразователе составило  $\sim 36$  нс при реализации на ПЛИС SPARTAN-6 и ЭП-7 и  $\sim 48$  нс при реализации на ПЛИС SPARTAN-3 и ЭП-4. Отношение задержек в логических схемах и линиях связи равно 1: 3 при реализации преобразователя на ЭП-7 и 1:1 при реализации на ЭП-4. Таким образом, применение ЭП-7 для построения преобразователя уменьшает число каскадов и, следовательно, время задержки распространения сигналов в линиях связи и в целом в преобразователе.

## ЛИТЕРАТУРА

- [1] Савельев А.Я. *Арифметические и логические основы цифровых автоматов*. Москва, Высшая школа, 1980, 255 с.
- [2] Майоров С.А., Новиков Г.И. *Структура электронных вычислительных машин*. Ленинград, Машиностроение, 1979, 384 с.
- [3] Карцев М.А. *Арифметика цифровых машин*. Москва, Наука, 1969, 576 с.
- [4] Самофалов К.Г., Корнейчук В.И., Тарасенко В.П. *Электронные цифровые вычислительные машины*. Киев, Вища школа, 1976, 480 с.
- [5] Дроздов Е.А., Комарницкий В.А., Пятибратов А.П. *Электронные вычислительные машины Единой системы*. 2-е изд. Москва, Машиностроение, 1981, 648 с.
- [6] Титце У., Шенк К. *Полупроводниковая схемотехника: Справочное руководство*. Москва, Мир, 1983, 512 с.
- [7] Алексенко А.Г. *Основы микросхемотехники. Элементы морфологии микроэлектронной аппаратуры*. Москва, Сов. радио, 1977, 408 с.
- [8] Morris R.L., Miller J.R. (eds.). *Designing with TTL integrated circuits*. New York, McGraw-Hill, Books Co, 1971.
- [9] Жирков В.Ф., Маянц А.Ю. Алгоритм преобразования двоичного кода правильных дробей в двоично-десятичный код и его реализация аппаратными средствами комбинационного типа. *Инженерный журнал: наука и инновации*, 2012, вып. 1. URL: <http://engjournal.ru/catalog/it/hidden/76.html>

Статья поступила в редакцию 28.06.2013

Ссылку на эту статью просим оформлять следующим образом:

Жирков В.Ф., Маслов И.Д. Построение преобразователей двоично-десятичного кода целых чисел в двоичный код и двоичного кода правильных дробей в двоично-десятичный код. *Инженерный журнал: наука и инновации*, 2013, вып. 11. URL: <http://engjournal.ru/catalog/it/hidden/1008.html>

**Жирков Владимир Филиппович** родился в 1937 г., окончил МВТУ им. Н.Э. Баумана в 1960 г. Канд. техн. наук, доцент кафедры «Компьютерные системы и сети» МГТУ им. Н.Э. Баумана. Автор более 60 научных работ. Специализируется в области обработки информации в информационно-измерительной технике. e-mail: [jirkovvf@bmstu.ru](mailto:jirkovvf@bmstu.ru)

**Маслов Иван Дмитриевич** родился в 1992 г., окончил МГТУ им. Н.Э. Баумана в 2013 г. Бакалавр кафедры «Компьютерные системы и сети» МГТУ им. Н.Э. Баумана. Автор 3 научных работ. Специализируется в области настройки корпоративных систем и цифровой обработки сигналов. e-mail: [i.maslov@bmstu.ru](mailto:i.maslov@bmstu.ru)